

**SHARP**

**Z-80 SIO テクニカル マニュアル**

Z-80 SIO/Z-80A SIO/Z-80B SIO

**SHARP**





Copyright © 1977 by Zilog, Inc. All rights reserved. No part of this publication may be reproduced, stored in a retrieval system, or transmitted, in any form or by any means, electronic, mechanical, photocopying, recording, or otherwise, without the prior written permission of Zilog.

Zilog assumes no responsibility for the use of any circuitry other than circuitry embodied in a Zilog product. No other circuit patent licenses are implied.

# Z-80 SIO テクニカル マニュアル

Z-80 SIO/Z-80A SIO/Z-80B SIO

**SHARP**

SHARP

SHARP

SHARP

## 目 次

第1章 緒 論 .....	1
1.1 特 長 .....	1
第2章 端子説明 .....	3
第3章 アーキテクチャ .....	9
3.1 データ経路 .....	10
3.2 機能説明 .....	12
第4章 非同期モード .....	15
4.1 非同期送信 .....	16
4.2 非同期受信 .....	17
第5章 同期モード .....	21
5.1 同期送信 .....	23
5.2 同期受信 .....	28
第6章 SDLC (HDLC) モード .....	31
6.1 SDLC送信 .....	32
6.2 SDLC受信 .....	37
第7章 Z-80 SIOプログラミング .....	41
7.1 書き込みレジスタ .....	41
7.2 読み出しレジスタ .....	55
第8章 応 用 .....	63
第9章 タイミング .....	65
第10章 規 格 .....	69

目 录

第一章 绪论	1
第二章 基本理论	10
第三章 计算方法	25
第四章 数值分析	45
第五章 线性方程组	65
第六章 非线性方程	85
第七章 微分方程	105
第八章 积分计算	125
第九章 插值方法	145
第十章 逼近理论	165
第十一章 变分法	185
第十二章 优化方法	205
第十三章 概率论	225
第十四章 数理统计	245
第十五章 随机过程	265
第十六章 模糊数学	285
第十七章 神经网络	305
第十八章 遗传算法	325
第十九章 粒子群算法	345
第二十章 蚁群算法	365
第二十一章 模拟退火	385
第二十二章 禁忌搜索	405
第二十三章 遗传编程	425
第二十四章 进化策略	445
第二十五章 差分进化	465
第二十六章 免疫算法	485
第二十七章 人工鱼群	505
第二十八章 人工蜂群	525
第二十九章 人工蚂蚁	545
第三十章 人工神经网络	565
第三十一章 支持向量机	585
第三十二章 核方法	605
第三十三章 深度学习	625
第三十四章 卷积神经网络	645
第三十五章 循环神经网络	665
第三十六章 生成对抗网络	685
第三十七章 变分自编码器	705
第三十八章 强化学习	725
第三十九章 马尔可夫决策过程	745
第四十章 蒙特卡罗方法	765
第四十一章 动态规划	785
第四十二章 线性规划	805
第四十三章 非线性规划	825
第四十四章 整数规划	845
第四十五章 图论	865
第四十六章 网络流	885
第四十七章 组合优化	905
第四十八章 运筹学	925
第四十九章 决策分析	945
第五十章 风险管理	965
第五十一章 供应链管理	985
第五十二章 物流优化	1005
第五十三章 生产计划	1025
第五十四章 库存控制	1045
第五十五章 质量控制	1065
第五十六章 项目管理	1085
第五十七章 风险管理	1105
第五十八章 危机管理	1125
第五十九章 企业战略	1145
第六十章 市场营销	1165
第六十一章 人力资源管理	1185
第六十二章 财务管理	1205
第六十三章 税务筹划	1225
第六十四章 资产评估	1245
第六十五章 审计学	1265
第六十六章 法律基础	1285
第六十七章 知识产权	1305
第六十八章 环境保护	1325
第六十九章 可持续发展	1345
第七十章 未来展望	1365

# 第1章 緒 論

シャープZ-80マイクロコンピュータは、マイクロコンピュータ・コンポーネントとその開発システム、サポート・ソフトウェアを完備し、容易にシステム設計ができるよう配慮されている。Z-80マイクロコンピュータ・コンポーネントを採用することにより、他の外部論理回路を付加しなくても高性能のマイクロコンピュータ・システムを実現でき、最小限の低コスト標準メモリを用いるだけでその目的を達成することができる。

Z-80 SIO (Serial Input/Output) は、2チャンネルの多機能周辺デバイスであり、マイクロコンピュータ・システムに必要な広範囲のシリアル・データ通信の要求を満足するように設計されている。その主たる機能は、直列-並列、並列-直列変換であるが、種々のシリアル・データ通信への応用に対しても、ソフトウェア制御によって効果的に使用できる。

Z-80 SIOは、非同期フォーマット、同期型バイト指向プロトコル (IBM Bisync) および同期型ビット指向プロトコル (SDLC、HDLC) を処理できる。

Z-80 SIOは、どのような同期モードに対しても、CRCを生成および照合する能力をもっている。このデバイスは、また、両チャンネルともモデム制御線をもっているが、これらの制御線を必要としない場合には、汎用の入出力線として使用することもできる。

Z-80 SIOは、その動作周波数および端子信号の取り出し方法 (ボンディング・オプション) により、以下の種類が用意されている。本マニュアルでZ-80 SIOまたはSIOと呼ぶ場合、特に断わらないかぎり、その記述はすべての種類について適用される。

なお、Aタイプは周波数の上限を4MHz、Bタイプは周波数の上限を6MHzまで保証した高速タイプであり、第10章の規格のAC特性の項目以外はとくにAタイプあるいはBタイプと記述されている場合を除き、同様に適用される。

(オリジナル型番)	(シャープ型番)
Z-80 SIO/0	LH0084
Z-80 SIO/1	LH0085
Z-80 SIO/2	LH0086
Z-80A SIO/0	LH0084A
Z-80A SIO/1	LH0085A
Z-80A SIO/2	LH0086A
Z-80B SIO/0	LH0084B
Z-80B SIO/1	LH0085B
Z-80B SIO/2	LH0086B

オリジナルの型番の0,1,2はボンディング・オプションを示す。

## 1.1 特長

- Nチャンネル・シリコンゲート E/D MOS プロセス
- パッケージは40ピンDIP
- +5Vの単一電源および単相クロック
- 2個の独立した全二重チャンネル
- データ転送速度は、0~500Kビット/秒 (2.5MHzの場合)  
0~800Kビット/秒 (4.0MHzの場合)  
0~1200Kビット/秒 (6.0MHzの場合)
- 受信データ・レジスタは4段バッファ、送信データ・レジスタは2段バッファ

○非同期（調歩同期）モード

- 5、6、7、8ビット／キャラクタ
- 1、1½、2ストップ・ビット／キャラクタ
- 偶数、奇数パリティ、パリティなし
- ×1、×16、×32、×64 クロック・モード
- ブレークの発生と検出
- パリティ・エラー、オーバーラン・エラー、フレーミング・エラーの検出

○バイナリ同期モード

- 内部または外部キャラクタ同期
- 別々のレジスタへの1個または2個の同期キャラクタのセット
- 同期キャラクタの自動挿入および削除
- CRCを生成および照合

○HDLCまたはIBM-SDLCモード

- アボート・シーケンスの生成と検出
- 零の自動挿入および自動削除
- フラグの自動挿入
- アドレス・フィールドの検出
- 1ビットから8ビットのキャラクタを使用可能
- 受信メッセージのオーバーランからの保護
- CRCの生成および照合

○割り込み

- デージー・チェーン割り込み制御回路の採用による割り込み時のベクトル送出自動処理
- 割り込みベクトルはプログラム可能
- 高速割り込み処理のためにステータス情報により割り込みベクトルを自動的に修飾(一部変更)可能

○CRC-16またはCRC-CCITTのブロック・チェック

○両チャンネルの独立したモデム制御入出力線

○モデム・ステータス情報は読み出し可能

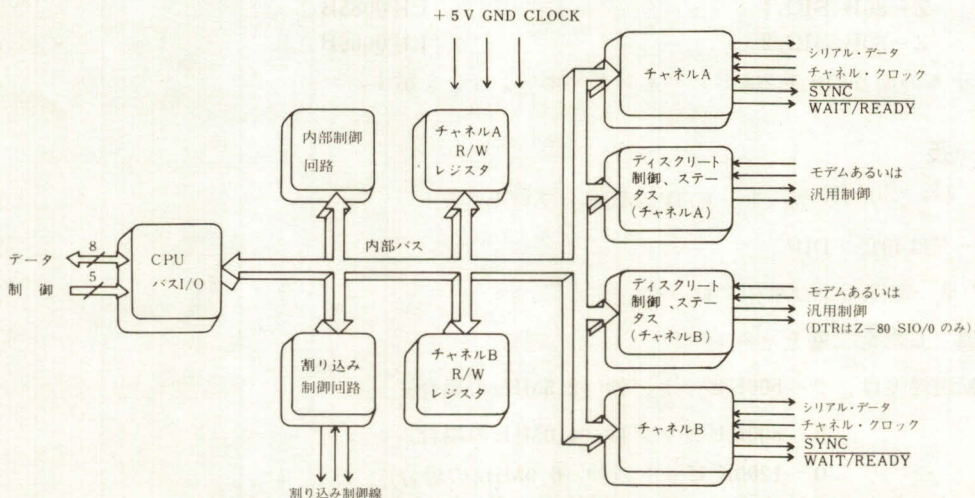


図1 Z-80 SIO ブロック図

## 第2章 端子説明

- $D_0 \sim D_7$  データ・バス (3ステート入出力)  
CPUとZ-80 SIOは、このバスを使用してデータやコマンドを送受する。  
 $D_0$ は最下位ビットである。
- $B/\bar{A}$  チャンネルA, B選択(入力、 $\text{High}$ レベルでBチャンネルを選択)  
この信号を使用することによりCPUとZ-80 SIO間でのデータ転送期間中にどのチャンネルがアクセスされるかを決める。
- $C/\bar{D}$  制御またはデータの選択(入力、 $\text{High}$ レベルで制御を選択)  
この信号を使用することにより、CPUとZ-80 SIO間で転送される情報の種類を決める。CPUのZ-80 SIOに対する書き込み期間中にこの入力を $\text{High}$ レベルにすると、データ・バス上の情報は選ばれたチャンネルに対する制御コマンドと解釈される。この入力を $\text{Low}$ レベルにするとデータ・バス上の情報はデータになる。
- $\bar{CE}$  チップ・イネーブル(入力、アクティブ $\text{Low}$ )  
この入力を $\text{Low}$ レベルにするとZ-80 SIOはCPUからコマンドやデータを受け取り可能になるか (CPU書き込みサイクル)、またはCPUへデータ送出可能となる。(CPU 読み出しサイクル)
- CLOCK システム・クロック (入力)  
内部信号同期用として標準のZ-80システム・クロックを使用する。単相クロックマシン・サイクル1 (入力、Z-80 CPUから供給、アクティブ $\text{Low}$ )
- $\bar{M1}$   $\bar{M1}$ がアクティブでかつ $\bar{RD}$ がアクティブの場合、Z-80 CPUはメモリから命令をフェッチする。 $\bar{M1}$ がアクティブで $\bar{IORQ}$ もアクティブの場合、Z-80 SIOはもしそのデバイスがCPUに割り込み要求をしている最も優先順位の高いデバイスであれば、 $\bar{M1}$ と $\bar{IORQ}$ を割り込み応答信号として解釈する。
- $\bar{IORQ}$  入出力要求(入力、CPUから供給、アクティブ $\text{Low}$ )  
CPUとZ-80 SIO間でコマンドやデータを転送する場合に、 $\bar{IORQ}$ は $B/\bar{A}$ 、 $C/\bar{D}$ 、 $\bar{CE}$ および $\bar{RD}$ と組み合わせて使用する。 $\bar{CE}$ 、 $\bar{RD}$ 、および $\bar{IORQ}$ がすべてアクティブの場合、 $B/\bar{A}$ で選ばれたチャンネルからデータをCPUに送出する (読み出し動作)。 $\bar{CE}$ および $\bar{IORQ}$ がともにアクティブで $\bar{RD}$ がアクティブでない場合、 $B/\bar{A}$ で選ばれるチャンネルに対してCPUからデータまたは制御情報を書き込む。この場合、データおよび制御情報の選択は $C/\bar{D}$ で行う。既述のように、 $\bar{IORQ}$ と $\bar{M1}$ が同時にアクティブの場合、CPUは割り込み応答サイクルになり、もしそのZ-80 SIOが割り込みを要求している最も優先順位の高いデバイスであれば、自動的に割り込みベクトルをデータ・バス上に乗せる。
- $\bar{RD}$  読み出しサイクル(入力、CPUから供給、アクティブ $\text{Low}$ )  
 $\bar{RD}$ がアクティブならばメモリか入出力デバイスから読み出し動作が行われる。 $\bar{RD}$ はCPUにデータを選出する場合に $B/\bar{A}$ 、 $\bar{CE}$ 、 $\bar{IORQ}$ とともに使用する。

RESET

リセット(入力、アクティブ`Low`)

RESETを`Low`レベルにするとレシーバとトランスミッタはともにディセーブルになり、強制的にT<sub>x</sub>DAとT<sub>x</sub>DBをマーク状態にし、モデム制御線を`High`レベルにしてすべての割り込みをディセーブルにする。

IEI

割り込みイネーブル入力(入力、アクティブ`High`)

割り込み駆動を行うデバイスが2個以上ある場合に、この信号はIEOとともに優先順位を決めるデージー・チェーンを形成するために使用する。この信号線が`High`レベルになることにより、より優先順位の高いデバイスがCPUの割り込み処理ルーチンでサービスされていないことを示す。

IEO

割り込みイネーブル出力(出力、アクティブ`High`)

IEOはIEIが`High`レベルでCPUがこのZ-80 SIOの割り込みサービスをしていない場合に限り`High`レベルとなる。これにより、優先順位の高いデバイスの割り込み処理中に、より優先順位の低いデバイスから割り込みがかかるのを妨げる。

INT

割り込み要求(出力、オープン・ドレイン、アクティブ`Low`)

Z-80 SIOが割り込みを要求するとき`Low`レベルになる。

W/RDYA, W/RDYB ウェイト/レディA、ウェイト/レディB

(	出力	ウェイト機能プログラム時	オープン・ドレイン	)
		レディ機能プログラム時	プッシュプル	

この2つの目的をもった出力はDMAコントローラに対してはレディ線としてプログラムされ、またCPUとZ-80 SIO間のデータ転送レートを合わせるためにはウェイト線としてプログラムされる。リセット状態ではオープン・ドレインである。

CTSA, CTSB

送信可(入力、アクティブ`Low`)

オート・イネーブルにプログラムされている場合、この入力端子を`Low`レベルにすると対応するトランスミッタをイネーブルにする。オート・イネーブルにプログラムされていない場合、この入力端子は汎用入力端子にプログラムできる。どちらの入力もシュミット・トリガ回路でバッファされているので立ち上がりの遅い入力に対しても対処できる。Z-80 SIOはこの入力端子のパルスを検出し、入力信号がどちらの論理レベルに変化してもCPUに対して割り込みを発生する。シュミット・トリガによる入力回路の採用は特定の雑音レベル余裕を保証するものではない。

DCDA, DCDB

データ・キャリア・ディテクト(入力、アクティブ`Low`)

この信号はレシーバを動作可能にできる点以外は前述のCTSと同じである。

R<sub>x</sub>DA, R<sub>x</sub>DB

受信データ(入力、アクティブ`High`)

T<sub>x</sub>DA, T<sub>x</sub>DB

送信データ(出力、アクティブ`High`)

R<sub>x</sub>CA, R<sub>x</sub>CB

受信クロック(入力)

非同期モードでは、受信クロックはデータ転送レートの1、16、32、64倍のいずれかにプログラムできる。受信データはR<sub>x</sub>Cの立ち上がりでサンプルされる。次項ボンディング選択参照。

$\overline{T \times CA}$ ,  $\overline{T \times CB}$

送信クロック (入力)

非同期モードでは、送信クロックはデータ転送レートの1、16、32、64倍のいずれかにプログラムできる。受信クロックと送信クロックの倍率は同じでなければならない。 $\overline{T \times C}$ と $\overline{R \times C}$ 入力はシュミット・トリガ回路によりバッファされているので立ち上がり、立ち下がり時間の遅い要求にも対処できる(雑音余裕に対しては規定していない)。 $\overline{T \times D}$ は $\overline{T \times C}$ の立ち下がりエッジで変化する。次項ボンディング選択参照。

$\overline{RTSA}$ ,  $\overline{RTSB}$

送信要求 (出力、アクティブ `Low`)

RTSビットがセットされると $\overline{RTS}$ 出力は`Low`レベルになる。RTSビットがリセットされると、非同期モードでは $\overline{RTS}$ 出力はトランスミッタが空になったあとに`High`レベルになるが、同期モードではRTSビットの状態に完全に追従する。両端子とも汎用の出力端子として使用できる。

$\overline{DTRA}$ ,  $\overline{DTRB}$

データ・ターミナル・レディ (出力、アクティブ `Low`)

これらの出力端子はDTRビットにプログラムされた状態に追従する。汎用出力端子として、プログラムできる。次項ボンディング選択参照。

$\overline{SYNCA}$ ,  $\overline{SYNCB}$

同期 (入出力、アクティブ `Low`)

これらの端子は入力としても出力としても動作可能である。非同期受信モードでは、これらは $\overline{CTS}$ や $\overline{DCD}$ と同じような入力端子となる。このモードでは、 $\overline{SYNC}$ 入力線の論理変化によってRR0中のシンク/ハント・ステータス・ビットに影響を与える。外部同期モードでもこれらの信号線は入力として動作する。外部同期が成立すると、同期キャラクタの最後のビットを受信するために使用された $\overline{R \times C}$ の立ち上がりエッジ後、2番目の $\overline{R \times C}$ の立ち上がりエッジにおいて $\overline{SYNC}$ を`Low`レベルにしなければならない。すなわち、同期パターン検出後、外部回路では受信クロックを完全に2サイクル待ってから $\overline{SYNC}$ 入力を駆動しなければならない。一度 $\overline{SYNC}$ を強制的に`Low`レベルにすると、CPUが外部同期回路に同期が失われてしまったか、または新しいメッセージの転送がまさに開始されようとしていることを通知するまで、`Low`レベルに保つ方が望ましい。外部同期モードでは $\overline{SYNC}$ の立ち下がりエッジの直前の $\overline{R \times C}$ の立ち上がりエッジからキャラクタのアセンブルが始まる。

内部同期モード(モノシンク、およびバイシンク)では、これらの端子は出力として動作し、同期キャラクタを認識している受信クロック( $\overline{R \times C}$ )サイクルの一部の期間アクティブとなる。同期状態はラッチされないため、これらの出力端子はキャラクタの境界に無関係に同期パターンを認識するごとにアクティブとなる。

#### ボンディング選択

40ピン・パッケージを使用するため、両チャンネルの $\overline{R \times C}$ 、 $\overline{T \times C}$ 、 $\overline{DTR}$ 、 $\overline{SYNC}$ を同一パッケージから取り出せない。このためチャンネルBの信号を省くか2つの信号を同じ端子にボンディングすることによりユーザの種々の要求に対処している。図2(a)参照。

- Z-80 SIO/0      4個のすべての信号をもっているが、 $\overline{R \times CB}$ と $\overline{T \times CB}$ を同じ端子にボンディングし、 $\overline{R \times T \times CB}$ としている。(図2(b))
- Z-80 SIO/1       $\overline{DTRB}$ を除去し、 $\overline{R \times CB}$ と $\overline{T \times CB}$ を別々の端子に結線し、クロック倍率の異なる場合

の要求に対処している。(図 2 (c))

• Z-80 SIO/2

SYNCBを除去し、 $\overline{R \times CB}$ 、 $\overline{T \times CB}$ 、 $\overline{DTRB}$ の端子をもっている。(図 2 (d))

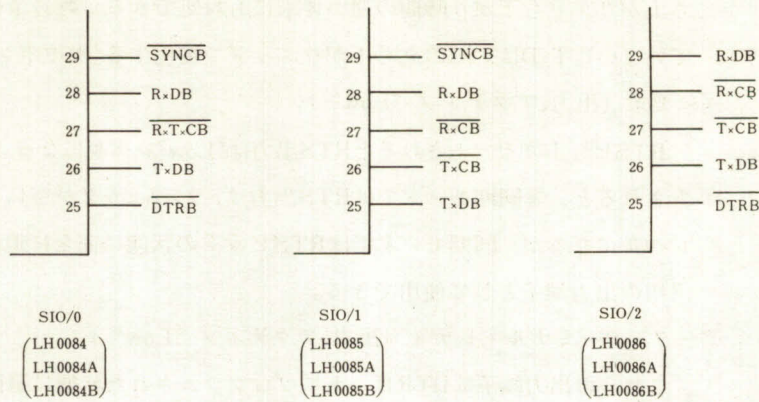


図 2 (a) ボンディング選択

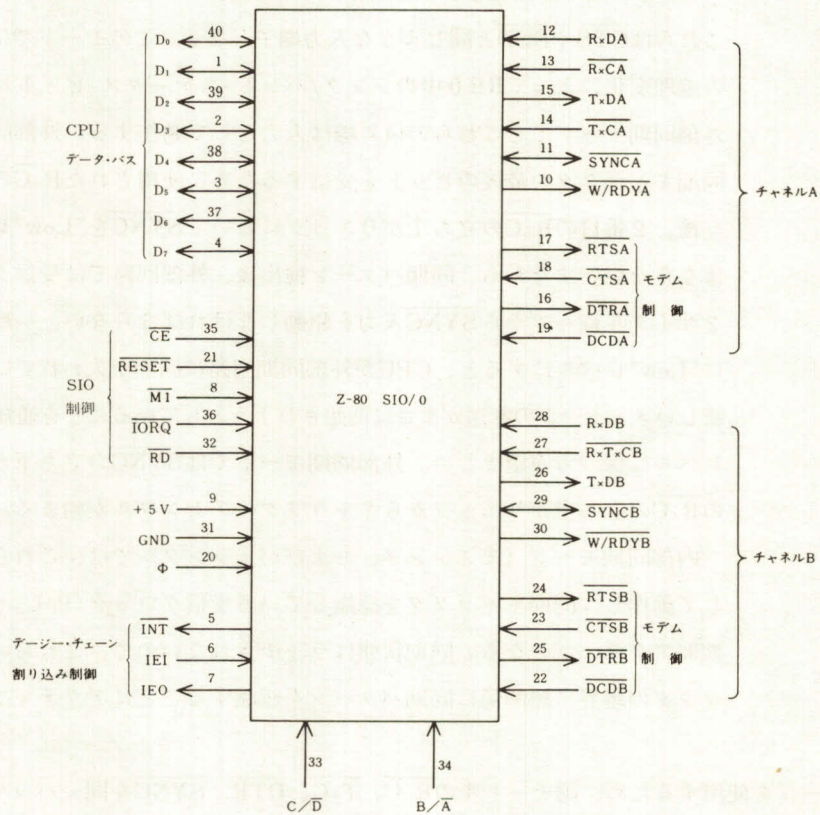


図 2 (b) Z-80 SIO/0

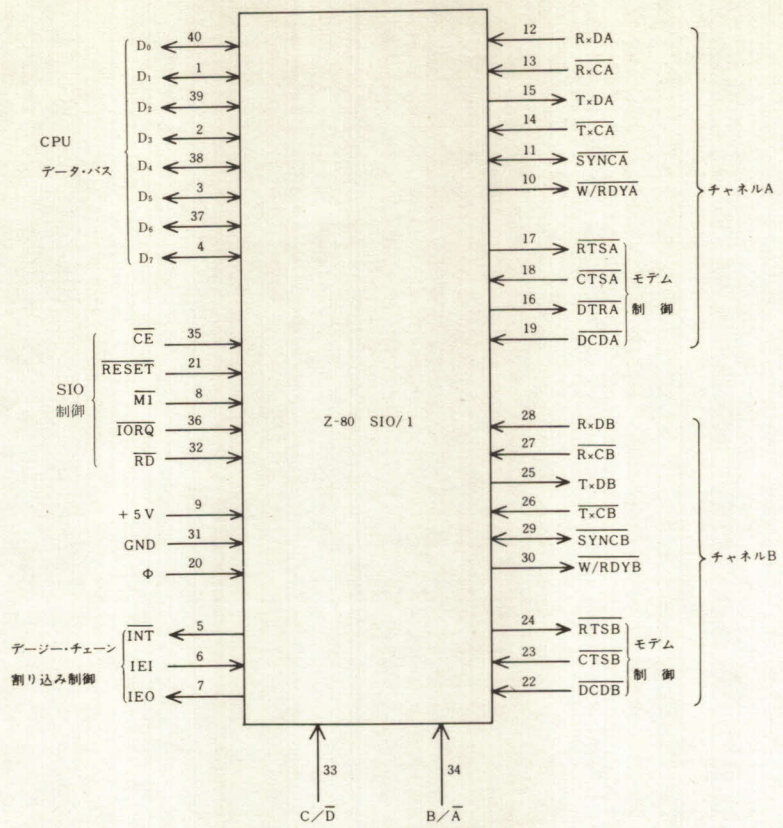


図 2 (c) Z-80 SIO/1

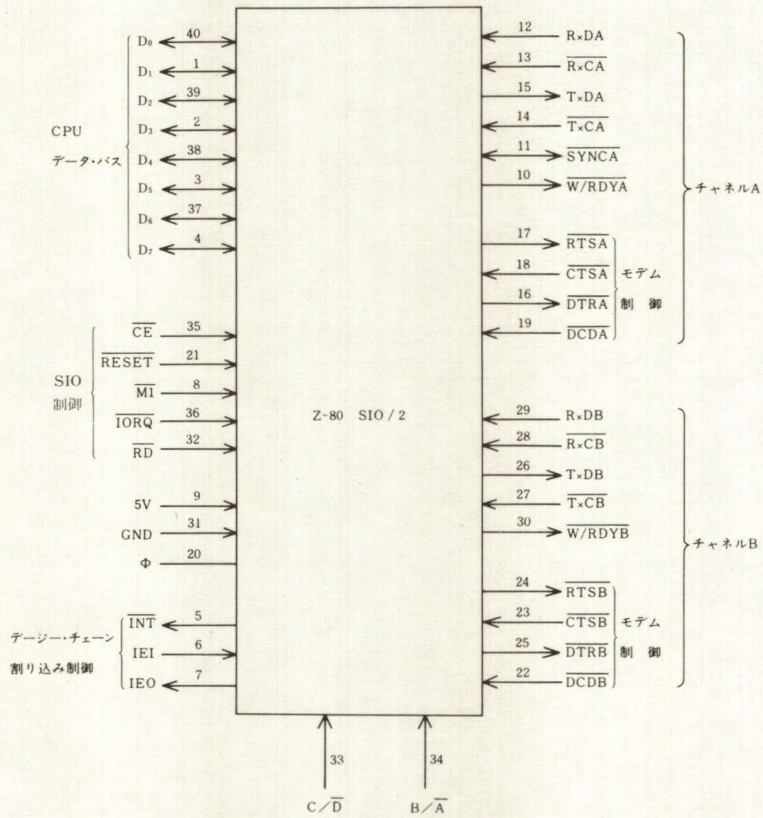


図 2 (d) Z-80 SIO/2



### 第3章 アーキテクチャ

図1に示すようにZ-80 SIOの内部構成は、CPUインターフェイス、内部制御回路、割り込み制御回路および2つの全二重チャンネルよりなる。各チャンネルは、読み出しレジスタと書き込みレジスタおよびモデムまたは外部デバイスと接続するためのディスクリット制御回路とステータス論理回路をもっている。

読み出しレジスタと書き込みレジスタは5つの制御レジスタ、2つの同期キャラクタ・レジスタおよび2つのステータス・レジスタが含まれる。割り込みベクトルはチャンネルB内の他の8ビット・レジスタ（書き込みレジスタ2）に書き込まれ、またチャンネルB内の読み出しレジスタ2から読み出すことができる。両チャンネルのレジスタはこのマニュアルでは次のように表わす。

WR0~WR7   —   書き込みレジスタ0~7  
 RR0~RR2   —   読み出しレジスタ0~2

各レジスタのビット割り付けと機能的なグループ化はプログラミングの過程を簡単にして容易にできるように構成されている。表1(a)は書き込みレジスタの機能を示し、表1(b)は読み出しレジスタの機能を示している。

表1(a) 書き込みレジスタの機能

レジスタ	機能
WR0	レジスタのポインタ、CRCの初期化、種々の動作モードの初期設定コマンドなど
WR1	トランスミッタ/レシーバ割り込みおよびデータ転送モードの定義
WR2	割り込みベクトル（チャンネルBのみ）
WR3	レシーバの制御およびパラメータ
WR4	レシーバおよびトランスミッタの種々のパラメータとモードの指定
WR5	トランスミッタの制御およびパラメータ
WR6	同期キャラクタまたはSDLCアドレス・フィールド
WR7	同期キャラクタまたはSDLCフラグ

表1(b) 読み出しレジスタの機能

レジスタ	機能
RR0	送信/受信バッファのステータス、割り込みステータス、外部ステータス
RR1	特別受信条件のステータス
RR2	修飾された割り込みベクトル(チャンネルBのみ)

両方のチャンネルの論理回路により、チャンネル・インターフェイスを介して送受される転送データのフォーマッティング、同期、検査を行う。モデム制御線の CTS、DCD はプログラム制御下において別の制御回路によりモニタされる。すべてのモデム制御信号は一般に汎用信号となり、モデム制御以外の用途にも使用できる。

割り込みベクトルの自動指定に関しては、割り込み優先回路により、どのチャンネルがおよびそのチャンネル内のどのデバイスが最優先順位にあるかを定める。優先順位に関してはチャンネル A がチャンネル B よりも高く、同一チャンネル内では、受信割り込み、送信割り込み、外部/ステータス割り込みの順になっている。

### 3. 1 データ経路

各チャンネルの送信データおよび受信データの経路を図 3 に示す。レシーバは 8 ビットの受信シフト・レジスタ以外に、3 個の 8 ビット・バッファ・レジスタを FIFO の構成でもっている (3 バイト分の遅れを許容する)。このような構成にすることにより、高速で送られるデータ・ブロックの始めにおいて Z-80 CPU が割り込みサービスできる時間的余裕が生まれる。受信エラー FIFO は、受信データ FIFO 中の 3 バイト・データそれぞれに対してパリティ、フレーミング・エラーおよびその他のタイプのステータス情報を保持する。

入力データはいくつかの経路のうちの 1 つを通り、どの経路を通るかはモードとキャラクタ長によって決ま

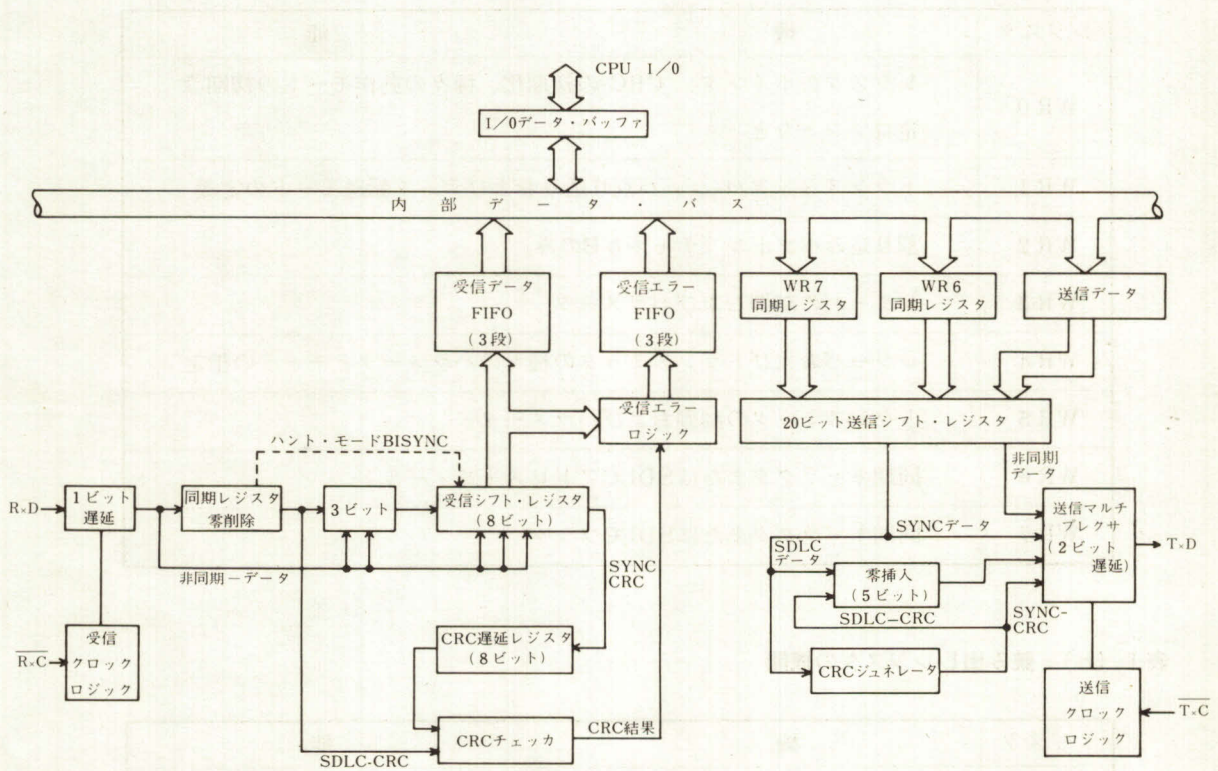


図 3 送信・受信データの経路

る。非同期モードにおいては、シリアル・データは、そのデータが7ビットまたは8ビットのキャラクタ長の場合3ビット・バッファに入り、5ビットまたは6ビットのキャラクタ長の場合8ビットの受信シフト・レジスタに入る。

他方、同期モードにおいては、データ経路は現在動作中の受信処理のフェーズによって異なる。同期受信動作はハント・フェーズから始まる。ハント・フェーズでは、レシーバは、まえもってプログラムされた同期キャラクタ（SDLCモードではフラグ）と一致するビット・パターンを、入力するデータの流れの中から探す。Z-80 SIOがモノシンク・ハントにプログラムされている場合、ビット・パターンとの照合は、WR7中の1個の同期キャラクタとの間で行われるが、バイシンク・ハントにプログラムされている場合、照合はWR6、WR7中の2個の同期キャラクタとの間で行われる。

いずれの場合も入力データは、受信同期レジスタを通過し、WR6かWR7中のまえもってプログラムされている同期キャラクタと照合・比較される。モノシンク・モードではWR7にプログラムされた同期キャラクタと受信同期レジスタ中のアSEMBルされたキャラクタの間で一致がとれると同期が成立する。

一方、バイシンク・モードでは、入力データは、メッセージの次の8ビットが受信同期レジスタ中でアSEMBルされている間に受信シフト・レジスタにシフトされる。受信同期レジスタ中のアSEMBルされたキャラクタとWR6とWR7中にプログラムされた同期キャラクタとの間で一致がとれると同期が成立する。一度同期が成立すると、入力データは受信同期レジスタをバイパスし、直接3ビット・バッファに入る。

SDLCモードでは、入力データは最初に受信同期レジスタを通過する。このレジスタは受信データを常時モニタしており、指示された場合にゼロ削除を行う。5個の連続する1を受信すると、6番目のビットを調べ、6番目のビットが0であると、そのデータの中から0を削除する。6番目のビットが1であると、7番目のビットを調べる。7番目のビットが0であると、受信されたデータはフラグ・シーケンスであり、1であると、アボート・シーケンスである。

再フォーマットされたデータは3ビット・バッファに入り、受信シフト・レジスタに転送される。SDLCの受信動作はハント・フェーズにおいても始まるが、このフェーズの間にZ-80 SIOは受信シフト・レジスタ中のアSEMBルされたキャラクタとWR7中のフラグ・パターンとの間でデータの照合を行う。フラグ・キャラクタを一度認識すると、後続のすべてのデータはキャラクタ長に無関係に同じ経路を通る。

SDLCおよび同期モードではともに同じCRCチェックを使用するが、各モードで使用されるデータ経路は異なる。バイシンク・プロトコルでは、バイト指向の動作となり、CPUはデータ・キャラクタに対してCRC計算を行うか否かを決定する必要がある。この決定に必要な時間を確保するために、Z-80 SIOは同期データに対して8ビットの遅延を行う。SDLCモードではZ-80 SIOにCRC計算を行うバイトを決定する論理回路が含まれているので、遅延は必要としない。

トランスミッタは8ビットの送信データ・レジスタと20ビットの送信シフト・レジスタをもっている。送信データ・レジスタはデータを内部データ・バスから読み込み、送信シフト・レジスタはデータをWR6、WR7および送信データ・レジスタから読み込む。WR6、WR7はモノシンクやバイシンク・モードでは同期キャラクタを含み、SDLCモードではアドレス・フィールド（1キャラクタ長）とフラグを含む。同期モードの動作中、WR6、WR7に含まれる情報が送信シフト・レジスタに読み込まれるのは、メッセージの開始時および送信アンダーランの状態が発生した場合で、メッセージの途中で時間をかせぐ用途として使用される場合である。SDLCモードではフラグはメッセージの始めと終わりにおいて送信シフト・レジスタに読み込まれる。

非同期モードの場合、送信シフト・レジスタ中のデータは、スタート・ビットとストップ・ビットをつけて所定のクロック・レートで送信マルチプレクサに送られる。同期モード（モノシンクまたはバイシンク）の場合、データは×1のクロック・レートで送信マルチプレクサとCRC作成回路へ送られる。

SDLC/HDLICモードの場合、データはゼロ挿入回路を経由して送出されるが、この回路はフラグが送られている期間は動作しない。データ中の他のすべてのフィールド（アドレス、制御、フレーム・チェック）に対しては、連続する5個の1に続いて1個の0を挿入する。SDLCデータに対するCRC作成回路の結果もまたゼロ挿入回路を通過する。

## 3.2 機能説明

Z-80 SIOの機能的な特長は2つの異なった観点から述べることができる。

- データ通信用デバイスとして

シリアル・データ信号を送受信でき、各種データ通信プロトコルの諸要求に適合できる。

- Z-80 ファミリの周辺デバイスとして

Z-80 CPUおよびZ-80周辺デバイスと組み合わせて使用し、データ、アドレス、制御バスを共有し、Z-80 の割り込み構造の一部を形成する。

また、他のマイクロプロセッサの周辺デバイスとして、Z-80 SIOは非ベクトル方式の割り込み、ポーリング、簡単なハンドシェイク制御のできる役に立つ機能をもっている。

次にZ-80 SIOの入出力処理機能をまずCPUとの関連において説明し、続いてそのデータ通信機能について紹介する。

### 3.2.1 入出力機能

CPUとの間でデータ、ステータス、制御情報を送受する場合に、Z-80 SIOをポーリング、割り込み（ベクトル、非ベクトル方式）、ブロック転送モードのいずれかのモードに設定する。ブロック転送モードはCPUやZ-80 DMA制御下で実現できる。

#### ポーリング

このモードでは割り込みは使用しない。ステータス・レジスタRR0とRR1は実行されて各機能に応じて適時更新される（たとえば、CRCエラー・ステータスはメッセージの終わりで確定する）。Z-80 SIOをポーリング・モードで動作させるためにはZ-80 SIOのすべての割り込みモードを禁止しなければならない。

ポーリング・シーケンスでは、CPUは各チャンネルのRR0内のステータスを調べる。RR0のステータス・ビットはポーリング要求に対する応答情報となる。RR0内の2つのステータス・ビットD<sub>0</sub>とD<sub>2</sub>によりそれぞれ受信または送信データの転送を必要としていることを示す。ステータスはまたエラーや他の特別な状態を示す（第7章Z-80 SIOプログラミング参照）。RR1内の特別受信条件ステータスは、ポーリング・シーケンスの中で読む必要はない。その理由は、RR0内の受信キャラクタ有効ステータスに伴って、RR1内のそれらのステータス・ビットが現われるからである。

## 割り込み

Z-80 SIOは巧妙な割り込み方式を採用しているが、この方式によりリアルタイムで処理する必要のある応用において高速の割り込み応答ができる。既述のようにチャンネルBのレジスタWR2とRR2は割り込みベクトルを保持し、このベクトルによりメモリ内の割り込みサービス・ルーチンのアドレスを指定する。両チャンネルともに割り込みのサービスをし、ステータスの解析ルーチンを作成する必要を省くために、Z-80 SIOはRR2内の割り込みベクトルを修飾でき、8種の割り込みサービス・ルーチンの中の1つを直接指示できる。これはチャンネルBのステータス・アフェクト・ベクトルと呼ばれるビット(WR1のD<sub>2</sub>)をセットすることにより行う。このビットをセットすると、WR2中の割り込みベクトルは種々の割り込み条件に割り当てられた優先順位に従って修飾される。書き込みレジスタ1の説明表(第7章 Z-80 SIO プログラミング)で修飾についての詳細を示す。

図4に示すように割り込み原因として送信割り込み、受信割り込みおよび外部/ステータス割り込みがある。各割り込み原因はプログラムによってイネーブルにでき、優先順位はチャンネルAがチャンネルBより高く、同一チャンネル内では、受信、送信、外部/ステータスの順になっている。送信割り込みをイネーブルにすると、トランスミッタはCPUに対して送信バッファが空になることより割り込みを要求する。(これはトランスミッタにデータ・キャラクタが書かれ、そのバッファを空にできる場合である。)受信割り込みをイネーブルにすると、レシーバは次のいずれかによってCPUに対して割り込みを要求できる。

- 第1受信キャラクタで割り込み
- 全受信キャラクタで割り込み
- 特別受信条件で割り込み

第1キャラクタでの割り込みは普通ブロック転送モードで使用する。全受信キャラクタでの割り込みには、パリティ・エラーの発生により割り込みベクトルを修飾する機能をさらに選択できる。特別受信条件による割り込みは1キャラクタあるいはメッセージ単位で発生できる(例:SDLCにおけるエンド・オブ・フレーム)。特別受信条件は、第1キャラクタでの割り込みあるいは全受信キャラクタでの割り込みのいずれかのモードが選択された場合に限り、割り込みを発生できる。第1受信キャラクタでの割り込みモードが選ばれると、第1受信キャラクタで割り込みを発生したあと、パリティ・エラー以外の特別受信条件により割り込みを発生できる(例:受信オーバーラン割り込み)。

外部/ステータス割り込みの主な機能は、 $\overline{\text{CTS}}$ 、 $\overline{\text{DCD}}$ および $\overline{\text{SYNC}}$ 端子の信号の変化をモニタすることであるが、外部/ステータス割り込みは、また一連のデータの中で、送信アンダーラン状態、ブレイクの検出(非同期モード)、アボート・シーケンス(SDLCモード)によっても発生する。ブレイク/アボート・シーケンスによる割り込みにおいては、Z-80 SIOはブレイク/アボート・シーケンスの検出または終了時に割り込みを発生できる特別な機能をもっている。この機能によって、現在のメッセージを適切に終了したり、次のメッセージを誤りなく初期化したり、外部回路においてブレイク/アボート条件に正確にタイミングを合わせることが容易になる。

## CPU/DMAブロック転送

Z-80 SIOにはブロック転送モードがあり、CPUのブロック転送機能やDMAコントローラ(Z-80 DMAや他のDMA用デバイス)に適合させることができる。ブロック転送モードでは、書き込みレジスタ1のウェイト/レディ・ビットと関連している $\overline{\text{WAIT}}/\overline{\text{READY}}$ 線を使用する。 $\overline{\text{WAIT}}/\overline{\text{READY}}$ 線の機能はプログラムによって定義でき、CPUのブロック転送モードではウェイト線として、DMAのブロック転送モードではレディ線として使用する。

Z-80 SIOのレディ出力は、DMAコントローラに対してこのZ-80 SIOがメモリとの間でデータ転送可能であることを示す。また、ウェイト出力はCPUに対してこのZ-80 SIOがデータ転送の用意ができていなくて入出力サイクルの拡張を要求していることを示す。書き込みレジスタ1のD<sub>5</sub>~D<sub>7</sub>と $\overline{\text{WAIT}}/\overline{\text{READY}}$ 線の論理状態については第7章Z-80 SIOプログラミングの書き込みレジスタ1の項で定義する。

### 3. 2. 2 データ通信機能

さきに述べた入出力機能に加えて、Z-80 SIOは非同期、同期、SDLC(HDLC)モードで動作する2つの独立した全二重チャンネルを備えている。これらのモードを使用すると、通常使用されているデータ通信プロトコルを容易に実現できる。

これらのモードの特別な機能については以下の章で説明する。各章を独立させ、また完全を期すため、全モードに共通ないくつかの情報は重複して説明する。

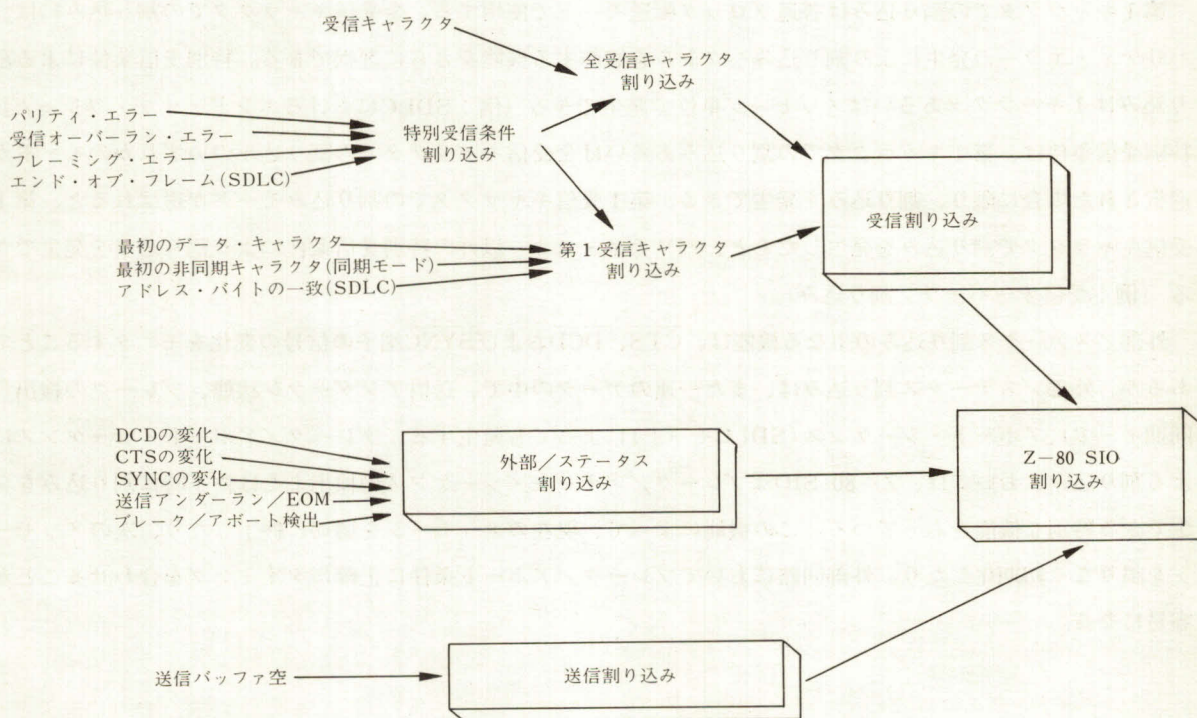


図4 Z-80 SIO 割り込み構成

## 第4章 非同期モード

非同期モードにおいてデータを送受信するために、Z-80 SIOは、キャラクタ長、クロック・レート、ストップ・ビットの数、パリティの種類、割り込みモード、受信イネーブルおよび送信イネーブルのパラメータを初期化しなければならない。システム・プログラムにより書き込みレジスタにこれらのパラメータを読み込む。WR4のパラメータは、WR1、WR3、WR5のパラメータおよびコマンドよりもまえに設定されなければならない。

データをモデムやRS232Cインターフェイスを通して送信する場合、送信要求線 ( $\overline{\text{RTS}}$ ) とデータ・ターミナル・レディ線 (DTR) は送信イネーブル・ビットに従って制御されなければならない。送信イネーブル・ビットがセットされるまで送信は開始しない。

オート・イネーブルの機能を用いると、プログラマはメッセージの第1キャラクタをCTSを待つことなく、Z-80 SIOに送ることができる。オート・イネーブル・ビットをセットした場合、Z-80 SIOは $\overline{\text{CTS}}$ 端子が $\Delta$ Lowレベルになるのを待ってデータ送信を開始する。 $\overline{\text{CTS}}$ 、 $\overline{\text{DCD}}$ 、 $\overline{\text{SYNC}}$ 線は、その信号が示す機能以外に汎用の入出力線としても使用できる。CTSを他の目的に使用する場合、オート・イネーブル・ビットは0にプログラムしなければならない。

図5に非同期メッセージのフォーマットを示す。表2は非同期モードの場合のWR3、WR4、WR5の各ビットと対応するモード、パラメータおよびコマンドを示したものである。WR2 (チャンネルBのみ) は割り込みベクトルを保持し、WR1は割り込みモードとデータ転送モードを定義する。WR6とWR7は非同期モードでは使用しない。表3は、両チャンネルともに全二重の送受信動作を行う場合の代表的なプログラム・ステップである。

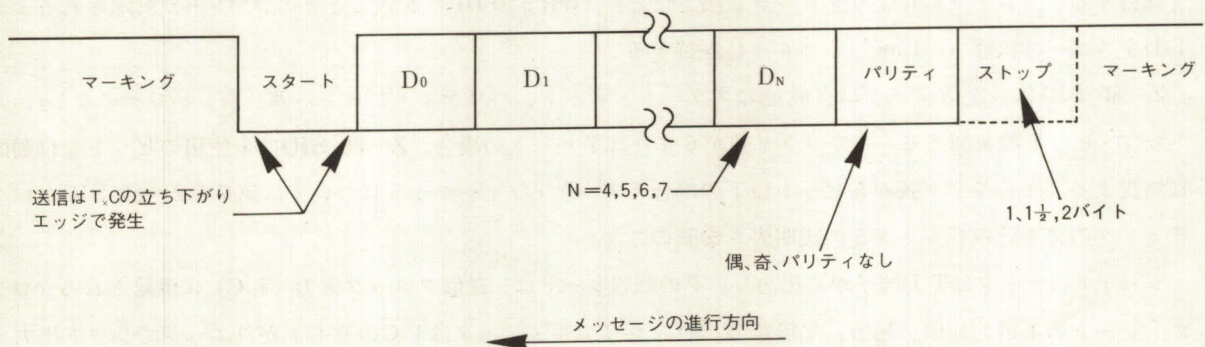


図5 非同期モード時のデータ・フォーマット

表2 非同期モードにおける書き込みレジスタWR3、WR4、WR5の内容

ビット レジスタ	D7	D6	D5	D4	D3	D2	D1	D0
WR3	00=R×5ビット/キャラクタ 01=R×7ビット/キャラクタ 10=R×6ビット/キャラクタ 11=R×8ビット/キャラクタ		オ ー ト イ ネ ー ブ ル	0	0	0	0	受 信 イ ネ ー ブ ル
WR4	00=×1 クロック・モード 01=×16クロック・モード 10=×32クロック・モード 11=×64クロック・モード		0	0	00=未使用 01=1ストップ・ビット/キャラクタ 10=1½ストップ・ビット/キャラクタ 11=2ストップ・ビット/キャラクタ		パリティ 1=偶 0=奇	パリティ イネーブル
WR5	DTR	00=T×5ビット以下/キャラクタ 01=T×7ビット/キャラクタ 10=T×6ビット/キャラクタ 11=T×8ビット/キャラクタ	ブ レ ー ク 送 出	送 信 イネーブル	0	RTS	0	

#### 4. 1 非同期送信

トランスミッタに送信すべきデータがない場合、送信データ出力 (TxD) はマーキング状態 (Highレベル) を保持する。プログラムによりブレーク送出コマンド (WR5のD4) を送るとそのコマンドが解除されるまで TxDをスペース状態 (Lowレベル) に保持する。

Z-80 SIOは、送信データに自動的にスタート・ビット、パリティ・ビット (偶、奇、パリティなし)、ストップ・ビット数を加える。キャラクタ長が6または7ビットの場合、Z-80 SIOは未使用のビットを自動的に無視する。キャラクタ長が5ビット以下の場合のデータ・フォーマットについては第7章Z-80 SIOプログラミングの書き込みレジスタ5の説明表を参照のこと。

シリアル・データはTxD端子から出力し、その転送レートは、送信クロック入力 ( $\overline{TxC}$ ) に供給されるクロック・レートの1倍、 $\frac{1}{2}$ 倍、 $\frac{1}{4}$ 倍、 $\frac{1}{8}$ 倍に等しい。シリアル・データは $\overline{TxC}$ の立ち下がりがエッジでシフト出力する。

外部/ステータス割り込みモードにセットするとメッセージの転送全期間にわたって $\overline{DCD}$ 、 $\overline{CTS}$ 、 $\overline{SYNC}$ の状態をモニタする。これらの入力端子の変化がある規定された最小パルス幅以上の期間続くと、割り込みが発生する。送信動作では、この機能はモデム制御線 $\overline{CTS}$ をモニタするために使用される。

## 4.2 非同期受信

非同期の受信動作は受信イネーブル・ビットをセットすると開始する。オート・イネーブルの動作を選択すると、DCDは“Low”レベルにしなければならない。受信データ入力 (RxD) を“Low” (スペース) 状態にすると、スタート・ビットを示す“Low”レベルが少くとも $\frac{1}{2}$ ビット時間続くと、スタート・ビットと認識し、そのキャラクタが完全にアセンブルされるまで入力データをビット時間の中央においてサンプリングする。このスタート・ビット検出の方法を用いると、マーキング・ライン上に雑音スパイクがあつてこれをスタート・ビットとみなすような誤動作を改善できる。

×1のクロック・モードを選択するとビットの同期は外部で行わなければならない。RxCの立ち上がりにおいて受信データをサンプリングする。レシーバは8ビット以外のキャラクタ長が使用された場合1を挿入する。1キャラクタが8ビット以外の場合、パリティをイネーブルにするとパリティ・ビットはアセンブルされたキャラクタのすぐ隣に置かれる。8ビット以外のキャラクタ長では、レシーバは必要とするキャラクタ長のデータ・ビットとパリティ・ビットおよび未使用ビットに対する1から構成されるデータにアセンブルする。たとえば、5ビット・キャラクタでは、レシーバは11PD<sub>4</sub>D<sub>3</sub>D<sub>2</sub>D<sub>1</sub>D<sub>0</sub>のフォーマットにアセンブルする。ただし、Pはパリティである。

レシーバは受信シフト・レジスタに加えて3個の8ビット・レジスタでバッファされているので、CPUにとっては割り込みサービスをし、Z-80 SIOによりアセンブルされたデータ・キャラクタを受け取るための十分な時間的余裕が生まれる。レシーバはまた3個のバッファをもち、このバッファに受信バッファ内の各データ・キャラクタに対するエラー・フラグを保持する。1個のキャラクタを受信すると次のエラー条件に対して調べる。

- パリティがイネーブルされた場合、パリティ・エラー・ビット (RR1のD<sub>4</sub>) は、キャラクタのパリティ・ビットがプログラムされたパリティに一致しなければいつでもセットされる。このビットは一度セットされるとエラー・リセット・コマンド (WR0) を書き込むまでリセットされない。
- フレーミング・エラー・ビットはキャラクタがストップ・ビットなしにアセンブルされた場合 (すなわち、ストップ・ビットが“Low”レベルになった場合) にセットされる。パリティ・エラー・ビットと異なりこのビットはフレーミング・エラーが生じるキャラクタに対してのみセットされラッチされない。フレーミング・エラーを検出するとそのキャラクタに対してさらに $\frac{1}{2}$ ビット時間だけ余分に時間を確保し、フレーミング・エラーを新しいスタート・ビットとして解釈することはない。
- 3個のキャラクタを受信している時間CPUがZ-80 SIOからデータ・キャラクタを読むことがなければ、受信オーバーラン・ビット (RR1のD<sub>5</sub>) がセットされる。これが起こると、受信バッファ中の3番目のキャラクタをアセンブルされた4番目のキャラクタと置き換える。この方法によりオーバーランを起こしたキャラクタに対してのみ受信オーバーラン・エラーのフラグ・ビットを立てる。パリティ・エラーと同じように、このビットはエラー・リセット・コマンドによってのみリセットできる。フレーミング・エラーと受信オーバーラン・エラーは割り込み発生の原因ともなり、もし、ステータス・アフェクト・ベクトルのコマンド・ビットがセットされていると、特別受信条件を示すベクトル値に割り込みを発生する。

パリティ・エラーと受信オーバーラン・エラーのフラグはラッチされるので、読み出したエラーの状態は、Z-80 SIOに対する最後のエラー・リセット・コマンド書き込み以後の受信キャラクタから、受信バッファ中の現在のキャラクタに至るまでに生じたエラーを反映したものになる。エラー・バッファの状態と受信データ・バッファの内容との間で対応をとるためには、そのデータのまえにエラー・ステータス・レジスタを読まなけれ

ばならない。これらのエラーにおいては、特別な割り込みベクトルを発生できるので、この機能を用いたベクトル方式の割り込みを使用すれば、前述のデータのまえにエラー・ステータス・レジスタを読むのはむずかしいことではない。

外部/ステータス割り込みがイネーブルになっている時間にブ레이크を検出すると割り込みを発生し、ブ레이크検出のステータス・ビット (RR0のD7) をセットする。ブ레이크検出の割り込みの処理として、ブ레이크・ステータス (RR0のD7) を1にした最初のブ레이크検出割り込みに応答させるためにZ-80 SIOに外部/ステータス割り込みリセットのコマンドを送らなければならない。Z-80 SIOは受信データ入力をモニタし、ブ레이크・シーケンスが終了するのを待つ。終了時点でZ-80 SIOはCPUに割り込みを要求しブ레이크・ステータスを0にする。CPUはその割り込み処理ルーチンの中でブ레이크検出回路を再度初期化するために、外部/ステータス割り込みリセットのコマンドを再びZ-80 SIOに送らなければならない。

外部/ステータス割り込みでは、DCDの状態をモニタしている。 $\overline{\text{DCD}}$ 端子が規定された最小パルス幅の期間以上非アクティブならば、割り込みを発生し、DCDステータス・ビット (RR0のD3) を1にする。 $\overline{\text{DCD}}$ 入力とRR0のステータス・ビットは符号が逆になっている。

ステータスをデータのあとで読む場合、もし、バッファの中に次のデータが入っていると、そのステータスには次のデータに対するエラーも含まれている。ステータスの読み出しを十分に早く行い、次のキャラクタがまだバッファに入っていないならば、読み出されたステータス・レジスタの内容は正しい値である。例外として、第1キャラクタでの割り込みモードが選択されている場合がある。このモードでは、特別な割り込みとなり、エラー・データおよびエラーを起こしたキャラクタ(たとえバッファから読み出しても)をエラー・リセット・コマンドの送らまで保持する。この方法によりレシーバが後続データを受け入れるのをリセット・コマンド送らまで禁止し、たとえDMAやブロック転送のテクニックを使用している、そのキャラクタに対してCPUは対処できる。

全キャラクタに対する割り込みモードが選択されると、RR1内のエラー・ステータスによって割り込みベクトルは異なる。レシーバのオーバーランが生じると、最新の受信キャラクタがバッファに読み込まれ、その前のキャラクタは消失する。バッファに読み込まれたそのキャラクタを読み出した時点で、受信オーバーラン・ビットがセットされ、さらにもしステータス・アフェクト・ベクトルのビット (WR1のD2) がセットされているならば、特別受信条件の割り込みベクトルとなる。

ポーリングのモードでは、CPUはいつキャラクタを読み出してよいかを知るために、受信キャラクタ有効ビット (RR0のD0) をモニタしなければならない。このビットは受信バッファを読み出すと自動的にリセットされる。ポーリング・モードでは、データの2重書きを防ぐために、トランスミッタに書き込むまえに送信バッファのステータスを調べなければならない。送信バッファが空になると送信バッファ空のビットが1にセットされる。

#### 外部/ステータス割り込みを用いたブ레이크検出の使用上の注意事項

ブ레이크の検出を外部ステータス割り込みを用いて行う場合には、図6に示す割り込みを用いて行う。

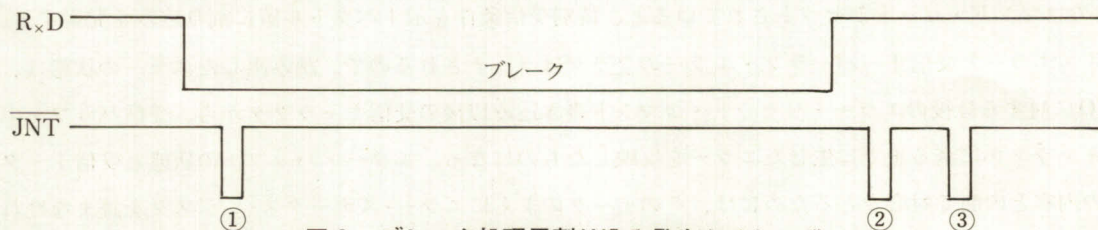


図6 ブ레이크処理用割り込み発生タイミング

①：外部 / ステータス割り込み

この割り込み処理ルーチンでは、外部 / ステータス割り込みリセット・コマンドを2回続けて出力する。その直後に RR0 の D<sub>7</sub> ビットを調べ、ブレイク状態にあることを確認する。ブレイク状態になっていれば、外部 / ステータス割り込みを可能にする。

この処理は、割り込み処理ルーチンの始めに行う。

②：受信割り込み

ブレイクが終了すると、受信割り込みが発生する。この受信割り込み処理ルーチン内で、①で禁止した外部 / ステータス割り込みを再び可能にする。

③：外部 / ステータス割り込み

②で外部 / ステータス割り込みが可能になると、外部 / ステータス割り込みが発生する。この割り込み処理ルーチンでは、外部 / ステータス割り込みリセット・コマンドを2回続けて送る。その直後に RR0 の D<sub>7</sub> ビットを調べ、ブレイク状態になっていないことを確認する。ブレイク状態になっていない場合には、外部 / ステータス割り込みを可能にして、再び①の割り込みが発生できるようにする。ブレイク状態になっていれば、外部 / ステータス割り込みを禁止する。

①で RR0 の D<sub>7</sub> ビットを調べた後は、③の割り込み発生まで、外部 / ステータス割り込みリセットを行ってはならない。外部 / ステータス割り込みリセットを行うと、③の割り込みが発生しないことがある。

表3 非同期モード

機能	代表的 プログラム・ステップ	説明
初期化	<p>レジスタ                   ロード内容</p> <p>WR 0 チャンネル・リセット</p> <p>WR 0 ポインタ2</p> <p>WR 2 割り込みベクトル</p> <p>WR 0 ポインタ4、外部/ステータス割り込みリセット</p> <p>WR 4 非同期モード、パリティ、ストップ・ビット、クロック・レート</p> <p>WR 0 ポインタ3</p> <p>WR 3 受信イネーブル、オート・イネーブル、受信キャラクタ長</p> <p>WR 0 ポインタ5</p> <p>WR 5 RTS、送信イネーブル、送信キャラクタ長、DTR</p> <p>WR 0 ポインタ1、外部/ステータス割り込みリセット</p> <p>WR 1 送信割り込みイネーブル、ステータス・アフェクト・ベクトル全受信キャラクタ割り込み、ウェイト/レディ機能ディセーブル、外部割り込みイネーブル</p> <p>第1キャラクタをSIOへ書き込み</p>	<p>SIOのリセット</p> <p>チャンネルBのみ</p> <p>パラメータ送出</p> <p>送受信ともに初期化、オート・イネーブルにすると<math>\overline{CTS}</math>アクティブで、トランスミッタを、また<math>\overline{DCD}</math>アクティブでレシーバをイネーブルにする。</p> <p>送信/受信割り込みモードの選択、外部割り込みにすると<math>\overline{CTS}</math>、<math>\overline{DCD}</math>、<math>\overline{SYNC}</math>入力の状態を監視し、ブレイクシーケンスを検出する。</p> <p>ステータス・アフェクト・ベクトルはチャンネルBのみこのデータを転送しないと送信割り込みは発生しない</p>
アイドルモード	<p>ホールド命令か他のプログラムを実行</p>	<p>プログラムでSIOからの割り込みを待つ。</p>
データ転送とエラーの監視	<p>割り込みアクノリッジ・サイクルにおいてベクトル (RR 2) をCPUへ送る。</p> <p>○キャラクタ受信時</p> <ul style="list-style-type: none"> <li>●CPUへデータ転送</li> <li>●ポインタ、パラメータ更新</li> <li>●割り込みからの復帰</li> </ul> <p>○送信バッファ空時</p> <ul style="list-style-type: none"> <li>●SIOへデータ転送</li> <li>●ポインタ、パラメータ更新</li> <li>●割り込みからの復帰</li> </ul> <p>○外部ステータスの変化時</p> <ul style="list-style-type: none"> <li>●RR 0 をCPUへ転送</li> <li>●エラー・ルーチン実行(ブレイク検出を含む)</li> <li>●割り込みからの復帰</li> </ul> <p>○特別受信条件発生時</p> <ul style="list-style-type: none"> <li>●CPUへRR 1 転送</li> <li>●特別エラー (例: フレーミング・エラー) ルーチンの実行</li> <li>●割り込みからの復帰</li> </ul>	<p>割り込みが発生するとベクトルは次の条件により修飾</p> <ol style="list-style-type: none"> <li>1 受信キャラクタ有効</li> <li>2 送信バッファ空</li> <li>3 外部/ステータスの変化</li> <li>4 特別受信条件</li> </ol> <p>プログラムは8種の割り込み処理ルーチンのどれかへ移る。</p> <p>Z-80以外のCPUの場合、修飾された割り込みベクトル(RR 2)の内容を応答サイクルの間にCPUは読み込む必要がある。</p>
終了	<p>受信/送信割り込みモードの再定義</p> <p>送信/受信モード・ディセーブル</p> <p>モデム制御出力の更新(例: RTSオフ)</p>	<p>送信または受信データ転送完了</p> <p>送信の場合、全キャラクタ送出のステータスにより、送信完了を示す。</p>

## 第5章 同期モード

同期モードの送信と受信を説明するまえに、キャラクタ同期の3つの種類(モノシンク、バイシンク、外部同期)について説明する。これらのモードでは送受信ともに×1のクロックを使用する。データは受信クロック入力( $\overline{R_xC}$ )の立ち上がりエッジでサンプリングされる。送信データは送信クロック入力の立ち下がりで変化する。

モノシンク、バイシンクおよび外部同期の間では第1キャラクタの同期の方法が異なる。レジスタは種々のモードにおいて異なった用途に使用されるので、動作モードの選択は同期キャラクタを書き込むまえに行う。図7に同期モードにおいて使用される3種のデータ・フォーマットを示す。

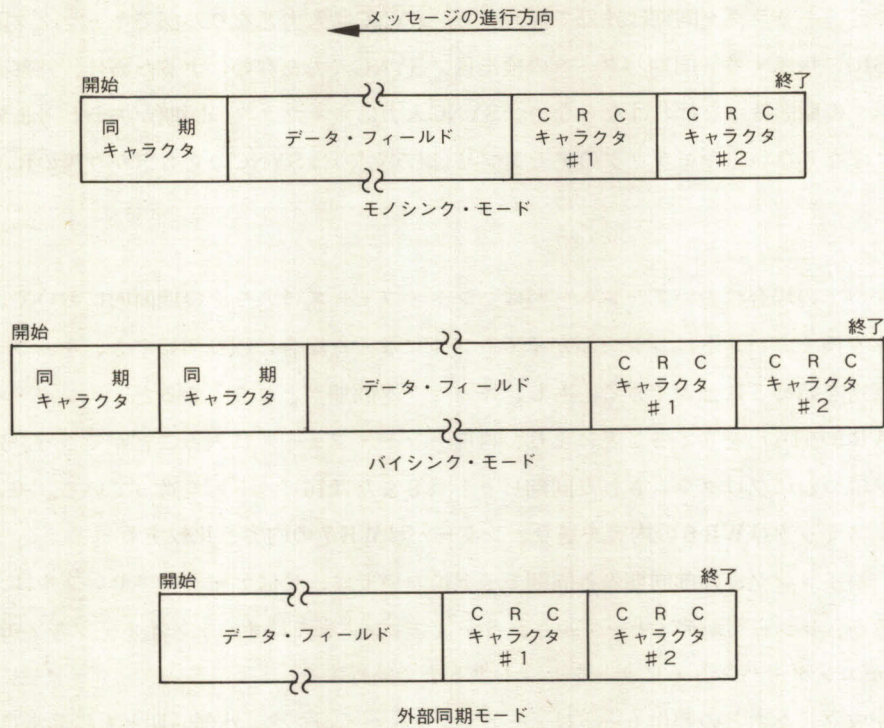


図7 同期モード・データ・フォーマット

## モノシンク

受信動作において、WR 7にプログラムされた1個の同期キャラクタ（8ビット同期モード）と一致するとキャラクタ同期が成立し、データ転送が可能になる。

## バイシンク

WR 6、WR 7にプログラムされた2個の連続する同期キャラクタ（16ビット同期モード）と一致するとキャラクタ同期が成立する。モノシンクとバイシンク・モードにおいては、 $\overline{\text{SYNC}}$ はともに出力となり、同期キャラクタを検出している受信クロックの期間アクティブになる。

## 外部同期

このモードでは、キャラクタ同期は外部で行われる。 $\overline{\text{SYNC}}$ は入力となり外部でキャラクタ同期が成立したことをZ-80 SIOに指示する。同期パターンの検出後、 $\overline{\text{SYNC}}$ 入力を有効にするために、外部回路は2サイクルの受信クロックの期間待たなければならない。 $\overline{\text{SYNC}}$ 入力はキャラクタの同期が失われるまでLowレベルに保持しなければならない。キャラクタのアセンブリ(組み立て)は $\overline{\text{SYNC}}$ の立ち下がり後の $\overline{\text{RxC}}$ の立ち上がりから始まる。

リセット後すべての場合において、レシーバはハント・フェーズに入りその期間内において、Z-80 SIOは同期キャラクタを捜す。ハントはレシーバがイネーブルになった場合に限り開始でき、キャラクタ同期が成立するとデータ転送を始めることができる。もし、キャラクタ同期がとれなくなると、エンタ・ハント・フェーズのビット(WR 3のD<sub>4</sub>)を立てることにより、再度ハント・フェーズに入ることができる。送信モードではトランスミッタはつねにプログラムされた同期ビット(8または16ビット)を送っている。モノシンク・モードでは、トランスミッタはWR 6の内容を送り、レシーバはWR 7の内容と比較する。

モノシンク、バイシンク、外部同期の各同期モードにおいては、受信データのアセンブルは、Z-80 SIOがリセットされるか、レシーバがディセーブルされるか(コマンドまたはオート・イネーブル・モードの $\overline{\text{DCD}}$ )、あるいはCPUがエンタ・ハント・ビットをセットするまで続行する。

最初の同期が成立したあとの動作モードは、モノシンク、バイシンク、外部同期ともに非常によく似ている。相違点について次に説明する。

表4に同期モードで送受信する場合のWR 3、WR 4、WR 5のビットの意味を示す。WR 0はレジスタの指定と種々のコマンド送出に使用する。WR 1は割り込みのモードを定義し、WR 6とWR 7は同期キャラクタを保持するために使用する。表5は半二重のバイシンク・モードで送信する場合の代表的なプログラム・ステップである。

表 4 , 同期モードにおける書き込みレジスタWR3,WR4,WR5の内容

ビット レジスタ	D7	D6	D5	D4	D3	D2	D1	D0
WR 3	00=R×5 ビット/キャラクタ 01=R×7 ビット/キャラクタ 10=R×6 ビット/キャラクタ 11=R×8 ビット/キャラクタ		オ ー ト イネーブル	エ ン タ ハ ン ト フ ェ ー ズ	受 信 C R C イネーブル	0	同 期 キ ャ ラ ク タ ロ ー ド 禁 止	受 信 イネーブル
WR 4	0	0	00= 8 ビット 同期キャラクタ 01=16ビット 同期キャラクタ 10=SDLCモード 11=外部同期モード		0 同期モード選択	0	偶 / 奇 パ リ テ ィ	パ リ テ ィ イネーブル
WR 5	D T R	00=T×5ビット以下/キャラクタ 01=T×7 ビット/キャラクタ 10=T×6 ビット/キャラクタ 11=T×8 ビット/キャラクタ		ブ レ ー ク 送 出	送 信 イネーブル	1=CRC-16 0=CRC -CCITT	R T S	送 信 C R C イネーブル

## 5. 1 同期送信

### 5. 1. 1 初期化

システム・プログラムにおいては、パリティの偶奇、×1のクロック・モード、8または16の同期キャラクタ、CRC生成多項式、送信イネーブル、RTS、DTR、割り込みモードおよび送信キャラクタ長のパラメータを初期設定しなければならない。WR4のパラメータはWR1、WR3、WR5、WR6、WR7のパラメータまたはコマンドよりさきに設定しなければならない。

同期モードでは、2種類の生成多項式CRC-16( $X^{16}+X^{15}+X^2+1$ )とSDLC( $X^{16}+X^{12}+X^5+1$ )のうちいずれかを使用する。同期モードにおいては、どちらの生成多項式を使用してもCRCジェネレータとチェッカはリセットするとすべて0となる。送信モードで初期化する場合、CRCジェネレータはWR0の送信CRCジェネレータ・リセット・コマンドのビットをセットすることにより初期化される。レシーバおよびトランスミッタは同じ生成多項式を使用する。

データ転送を行う場合に送信割り込みイネーブルやウェイト/レディ・イネーブルの機能を選択できる。外部/ステータス割り込みは、 $\overline{CTS}$ 入力端子の状態や送信アンダーラン/EOMラッチの状態を監視するために使用される。オート・イネーブルの機能を選択すると、 $\overline{CTS}$ がアクティブになったときにトランスミッタをイネーブルにできる。外部/ステータスの割り込み発生時(CTSステータス・ビットがセットされる)か、送信イネーブル・コマンドの送出直後(オート・イネーブル・モードがセットされている場合)に、Z-80 SIOに対して最初のデータが転送される。

リセット後あるいはトランスミッタがイネーブルでなければ、送信データはマーキング状態に保たれる。プログラムによってブレイクすることができ、ブレイク送出のビットをセットすると直後にスペース状態を発生できる。トランスミッタを完全に初期化しイネーブルすると、8または16ビットの同期キャラクタが連続して出力し、何もしなければこの状態が続く。

### 5. 1. 2 データ転送とステータスの監視

この段階では、割り込みとウェイト/レディのいくつかの組み合わせがある。

#### 割り込みを用いたデータ転送

送信割り込みイネーブルのビット (WR1 の D<sub>1</sub>) がセットされていると、送信バッファが空になるごとに割り込みを発生する。割り込みの要求に対して応答するためには、トランスミッタに他のキャラクタを書き込むか、送信割り込みペンディング・ラッチを送信割り込みペンディング・リセットのコマンドを使用してリセットするかのいずれにより対処することができる。このコマンドによりさきの割り込みに対処し、トランスミッタにキャラクタの書き込みがなければ、送信バッファ空による割り込みは発生しない。その理由は、割り込みはバッファが空に移行することにより発生し、すでに空になっているバッファは空に移行することはできないからである。この状態により送信アンダーランの状態が引き起こされるのであるが、これはバイシンク送信アンダーランの項で説明する。

#### ウェイト/レディを用いたデータ転送

WAIT線をアクティブにすることにより、Z-80 SIOは、CPUに対してデータを受け付ける用意ができていなくて、CPUに出力サイクルを延長しなければならないことを示す。DMAコントローラに対してREADY線をアクティブにすることにより、送信バッファは空であり、Z-80 SIOは次のデータ・キャラクタを受け付ける準備ができていないことを示す。もし、送信シフト・レジスタが空になる時間までにZ-80 SIOにデータ・キャラクタが書き込まれていなければ、Z-80 SIOは送信アンダーランの状態になる。

#### バイシンク送信アンダーラン

バイシンク・プロトコルでは、トランスミッタに送るべきデータがない場合(送信アンダーランの状態)、同期を維持するために補充キャラクタが挿入される。Z-80 SIOではこの目的のために2つの方法をプログラムで選択できる。一方は同期キャラクタを挿入する方法であり、他方はそれまでに生成されたCRCキャラクタを送り、続いて同期キャラクタを送る方法である。

2つの方法のうちどちらを選択するかは、WR0内のリセット送信アンダーラン/EOMコマンドによって制御する。送信アンダーラン/EOMのステータス・ビット(RR0のD<sub>6</sub>)は、Z-80 SIOの外部リセットまたはチャンネル・リセットによってセット状態になり、送信データがない場合に同期キャラクタを挿入する。自動的に挿入された同期キャラクタに対してはCRCを計算しない。CPUはメッセージの終わりを検出した場合、送信アンダーラン/EOMリセット・コマンドを送出できる。これによりトランスミッタに送信データがなくなると、CRCを送ることができる。この場合、Z-80 SIOはまずCRCを送り、続いて同期キャラクタを送りメッセージを終了させる。

メッセージ内でいつ送信アンダーラン/EOMビットをリセットできるかという点に関する制限はない。第1

トのCRCとそれに続く同期キャラクタが送出される。送信アンダーランの状態のために、送信アンダーラン/EOMビットがセットされた時点で外部/ステータス割り込みが発生する。

同期キャラクタが挿入される場合 自動的に挿入される最初の同期キャラクタがロードされたあとに限り割り込みが発生する。この場合、ステータスのうち送信アンダーラン/EOMのビットと送信バッファ空のビットがセットされる。

CRCが挿入される場合 CRCが送られている間に送信アンダーラン/EOMビットがセットされ、送信バッファ空のビットがリセットされる。CRCの送出が完了すると、送信バッファ空のステータス・ビットはセットされ、他のメッセージ送出を開始してもよいことをCPUに対して指示するために割り込みが発生する(この割り込みは、CRCの送出が完了し、同期キャラクタがロードされたために発生する)。送るべきメッセージがない場合、プログラムによりRTSをリセットし、トランスミッタをディセーブルする(WR5のD<sub>3</sub>)ことによって送信を終了できる。

送信キャラクタを8ビットと設定し、CRC送出期間にトランスミッタにFF<sub>h</sub>を書き込むことによるパッド・キャラクタを送ってもよい。一方、この期間に同期キャラクタをパッド・キャラクタとして再定義できる。以下の例においてこの点を明らかにする。

送信バッファ空のビットをセットすることによりZ-80 SIOは割り込みを発生する。  
CPUはプログラムによって内部のステータスを調べ、メッセージの最後のキャラクタ(ETX)がすでにZ-80 SIOに送られたことを認識する。

Z-80 SIOにCRCを送出させるために、CPUは送信アンダーラン/EOMラッチ・リセット・コマンド(WR0)を送り、送信割り込みの保留リセット・コマンドによって割り込み要求に対処する。(送信割り込みの保留リセット・コマンドによってZ-80 SIOからそれ以上のデータ要求が出されるのを禁止する。)このコマンドによって生じた送信アンダーランのためにZ-80 SIOはCRC送出を開始する。Z-80 SIOは、また、送信アンダーラン/EOMラッチをセットして外部/ステータス割り込みを起こす。

CPUはこの割り込みに対しては、パッド・キャラクタを送信バッファにロードし、外部/ステータス割り込みリセット・コマンドを送ることによって対処する。

このシーケンスでは、CRCのあとにパッド・キャラクタが続き、同期キャラクタは続かない。CRCが完全に送出されると送信バッファ空による割り込みが発生し、パッド・キャラクタが送信シフト・レジスタにロードされる点に注意しなければならない。

この時点において、CPUはさらにパッド・キャラクタか同期キャラクタを送ることができる。

## バイシンクCRC生成

送信CRCイネーブル・ビット(WR5のD<sub>0</sub>)をセットすると、プログラムによってZ-80 SIOに第1データ・キャラクタを送った時点においてCRC計算が始まる。Z-80 SIOは、自動的に2個の同期キャラクタ(16ビット)を送信するが、数個の同期キャラクタをメッセージのまえにつけて送る方が(送信CRCをイネーブルするまえに)受信側で確実に同期をとるためには賢明である。

送信CRCイネーブル・ビットはメッセージ送信中のどの時点においても変えることができ、メッセージ中の特定のデータ・キャラクタをCRC計算に含めたり、排除したりすることができる。送信CRCイネーブル・ビットは、データ・キャラクタが送信データ・バッファから送信シフト・レジスタに書き込まれた時点で必要な状態に確定しているべきである。送信CRCイネーブル・ビットを必要な状態に確実に設定するためには、このビットはデータ・キャラクタをZ-80 SIOに送るまえに書き込まなければならない。

## 送信トランスペアレント・モード

送信CRCイネーブルを送信中に変更できる能力と16ビットの同期キャラクタをさらに挿入できる能力によって、トランスペアレント・モード(バイシンク・プロトコル)で動作させることが可能になる。DLEキャラクタをZ-80 SIOに転送する直前にCRC計算を動作させなくすることにより、CRC計算からDLEキャラクタを除くことができる。

トランスペアレント・モードで送信アンダーランの状態の場合、一対のDLE-SYNキャラクタが送られる。Z-80 SIOは、DLEキャラクタをWR6に、また同期キャラクタをWR7に書き込むことにより、DLE-SYNシーケンスを送るようにプログラムできる。

#### 送信終了

Z-80 SIOはデータの確実性と有効性を保つために特別な終了機能をもっている。データまたは同期キャラクタ送信中にトランスミッタがディセーブルされると、そのキャラクタは通常の通り送信され、そのあとにCRCや同期キャラクタではなくマーキング状態が続く。トランスミッタがディセーブルされたとき、バッファ内のキャラクタはそのバッファ内に保持される。CRC送信中に、もし、トランスミッタがディセーブルされた場合、16ビットの送信は完了するが同期キャラクタがCRCに代わって送られる。

ブレイクは、対応するコマンドを制御レジスタに書き込むと、書き込んだ時点で有効になり、送信バッファとシフト・レジスタ内のキャラクタは消失する。

すべてのモードにおいてキャラクタは最下位ビットから送信される。これは、もし、語長が8ビットより短い場合、送信データを右側でそろえる必要があるからである。もし、語長が5ビット以下であれば、書き込みレジスタ5で述べる特別な方法がデータのフォーマッティングに必要となる(第7章 Z-80 SIOプログラミング参照)。5ビット以下で使用される場合を除いて、データ・キャラクタ内の未使用のビットの状態には制限はない。

もし、外部/ステータス割り込みイネーブル・ビットがセットされているならば、CRCキャラクタ送信開始、同期キャラクタ送信開始、 $\overline{\text{CTS}}$ 端子の状態の変化、のようなトランスミッタの状態によりZ-80 SIOは割り込みを発生し、もし、ステータス・アフェクト・ベクトルのビットがセットされているならば、特別なベクトルを作成する。この割り込みモードはブロック転送の期間に使うことができる。

ポーリング・モードで動作させたり、あるいはプログラム実行中において不必要な割り込みを避けるためにすべての割り込みをディセーブルできる。



## 5. 2 同期受信

### 5. 2. 1 初期化

同期モードの受信動作をさせる場合、システム・プログラムにおいては、パリティの偶奇、8または16ビットの同期キャラクタ、×1のクロック・モード、CRC生成多項式、受信キャラクタ長などを初期設定する。同期キャラクタはWR6、WR7にロードされなければならないし、レシーバはすべての受信パラメータを設定したあとにおいてのみイネーブルにできる。WR4のパラメータは、WR1、WR3、WR5、WR6、WR7のパラメータ・コマンドよりもさきに設定しなければならない。

初期設定後、レシーバはハント・フェーズに入る。このフェーズはキャラクタの同期が成立するまで続く。WR3内の同期キャラクタ・ロード禁止ビットをセットすることにより、メッセージの始めに置かれるすべての同期キャラクタを受信バッファにロードしないようにできる。

### 5. 2. 2 データ転送とステータスの監視

キャラクタの同期成立後、アSEMBルされたキャラクタは受信データ FIFOへ転送される。以下に示す4種の割り込みモードがあり、データ転送およびステータスの読み出しに使用される。

#### 割り込みディセーブル

Z-80 SIOをポーリング動作で用いたり、オフ・ラインの状態にする場合にこのモードを使用する。

#### 第1キャラクタ受信割り込み

このモードは、入力データの転送レートに対してCPUやDMAデバイスを同期させる目的で、ポーリング・ループやWAIT/READY線を用いたブロック転送を開始する場合に、通常使用される。このモードにおいては、Z-80 SIOは第1キャラクタに対して割り込みを発生し、以後特別受信条件を検出した場合においてのみ割り込みを発生する。このモードに再度初期化するためには、次の受信キャラクタで割り込みイネーブル・コマンド(WR0のD<sub>3</sub>~D<sub>5</sub>)を使用する。このコマンドを設定すると、次に受信したキャラクタで割り込みを発生する。このモードにおいては、パリティ・エラーは割り込みを発生しないが、エンド・オブ・フレーム(SDLCモード)とオーバランは割り込みを発生する。

外部/ステータス割り込みをイネーブルにすれば、DCDの状態が変化するどの時点においても割り込みを発生する。

#### 全キャラクタ受信割り込み

このモードでは、受信バッファにキャラクタが入るとつねに割り込みを発生する。ステータス・アフェクト・ベクトルのビットが設定されている場合、エラーと特別受信条件により特別なベクトルを発生する。パリティ・エラーに関しては、特別な割り込みベクトルを発生するかどうかを選択できる。

#### 特別受信条件割り込み

第1キャラクタ受信割り込み全キャラクタ受信割り込みいずれのモードが選ばれても、特別受信条件により割り込みを発生できる。特別受信条件による割り込みを発生する原因として受信オーバラン・エラーがある。受信オーバランやパリティ・エラーのステータス・ビットはラッチされるので、読み出したエラーの状態は、

受信バッファ内にある現在のキャラクタに対するエラーと最後に書き込んだエラー・リセット・コマンド以後に発生したパリティやオーバーランのエラーを合わせたものになる。これらのステータス・ビットはエラー・リセット・コマンドによってリセットされる。

### CRCエラー・チェックと終了

プログラム制御により、受信メッセージに対して1キャラクタ単位にCRCのエラー・チェックを行うことができる。受信CRCイネーブル・ビット(WR3のD<sub>3</sub>)は、次のキャラクタが受信シフト・レジスタから受信バッファ・レジスタに転送されるより前にセット/リセットされなければならない。このことにより、特定のキャラクタに対してCRCチェックに含めたり排除する制御が確実に行えるようになる。

特定のキャラクタに対してCRCチェックをイネーブルやディセーブルする時間的余裕をCPUに与えるために、Z-80 SIOは、そのキャラクタが受信バッファに転送されたのち、8ビット時間遅れてCRCを計算する。次のキャラクタが転送されるまえにCRCがイネーブルになれば、CRCは転送されるそのキャラクタに対して計算される。次の転送が行われるよりまえにCRCがディセーブルになれば、現在進行中のCRC計算は続いて行われるが、バッファへの転送が完了したそのキャラクタに対してはCRC計算は行われぬ。これらの条件が満たされると事実上3バイトの受信データ・バッファはパイシンの動作時には必要がなくなる。CRCは必要に応じてどの時点においてもイネーブル、ディセーブルできる。

モノシンク、パイシンク、外部同期いずれの動作モードにおいても、CRC/フレーミング・エラー・ビット(RR1のD<sub>6</sub>)は、キャラクタが受信シフト・レジスタから受信バッファへ転送されたのち、16ビット時間遅れた(8ビット遅延とCRCの8ビット・シフト分)CRCチェックの比較結果を含んでいる。送信中にエラーがなければこの結果は0になるはずである。(その結果はCRC計算が終了した時点においてのみ有効である点に注意すべきである。結果をこの時点よりまえに読み出すと、通常エラーを示す。)比較は各転送ごとに行われ、キャラクタが受信FIFO中にある限り有効である。

次の例は4個の文字A、B、C、Dがこの順に受信された場合のCRCチェック動作を示したものである。

キャラクタAをバッファへロード

キャラクタBをバッファへロード

キャラクタCがバッファに入るまえにCRCをディセーブルすると、Bに対するCRC計算は行われぬ。

キャラクタCをバッファへロード

キャラクタCのロード後、CRC/フレーミング・エラーはキャラクタAまでの比較結果を示す。

キャラクタDをバッファへロード

キャラクタDがバッファに入ったあと、CRCエラー・ビットは、キャラクタBがCRC計算に含まれているかどうかに関係なくキャラクタBまでの比較結果を示す。

CRC計算は並行して行うために、受信クロックは、第2のCRCキャラクタが受信バッファにロードされたあと16サイクル(8ビット遅延と8ビットCRCシフト)、あるいはRxD入力において最後のビットが到達してから20サイクル(前記16ビットの遅延と3ビット・バッファの遅延と1ビット入力遅延)の間、CRC計算が完了するために、続かなければならない。必要とする16サイクルのクロックを供給するために、より高速の外部クロックを受信クロック入力に印加してもよい。送信と受信データの経路図(図3)にCRC経路における種々の遅延箇所を示す。

半二重パイシンク受信モードを実現するための代表的プログラム・ステップを表6に示す。コマンドおよび

ステータス・ビットの完全な定義については第7章Z-80 SIOプログラミングにおいて説明する。

表6 バイシク受信モード

機能	代表的プログラム・ステップ	説明
初期化	レジスタ ロード内容	
	WR0 チャンネル・リセット、受信CRCチェックのリセット WR0 ポインタ2 WR2 割り込みベクトル WR0 ポインタ4 WR4 バリテイ、同期モード、×1クロック・モード WR0 ポインタ5、外部/ステータス割り込みリセット WR5 バイシク、CRC-16、DTR WR0 ポインタ3 WR3 同期キャラクタ・ロード禁止、受信CRCイネーブル、エンタ・ハント・モード、オート・イネーブル、受信キャラクタ長	SIOのリセット、受信CRCチェックの初期化  チャンネルBのみ  受信パラメータ・セット  同期キャラクタのロード禁止によりメッセージの始めにあるすべての同期キャラクタを除く。オート・イネーブルにより、レシーバはDCD入力の変化後のみデータ受信可能となる。
初期化	WR0 ポインタ6 WR6 同期キャラクタ1 WR0 ポインタ7 WR7 同期キャラクタ2 WR0 ポインタ1、外部/ステータス割り込みリセット WR1 ステータス・アフェクト・ベクトル、外部割り込みイネーブル、第1キャラクタ受信割り込み	この割り込みモードでは、最初の非同期キャラクタのみCPUに転送、以後のデータはDMAで転送される。特別受信条件はCPUに対して割り込みを発生する。ステータス・アフェクト・ベクトルはチャンネルBのみ
	WR0 ポインタ3、次の受信キャラクタで割り込みイネーブル WR3 受信イネーブル、同期キャラクタ・ロード禁止、エンタ・ハント・モード、オート・イネーブル、受信キャラクタ長	WR3により、レシーバをイネーブルする。受信CRCイネーブルの書き込みは、SOH、STX受信後に行わなければならない。
アイドルモード	ホールド命令の実行か他のプログラムを実行	受信モードは完全に初期化され、システムは第1キャラクタ割り込みを待つ。
データ転送とステータスの監視	<ul style="list-style-type: none"> <li>○第1キャラクタによる割り込み発生時CPUは以下の項目を実行する <ul style="list-style-type: none"> <li>●CPUへデータ転送</li> <li>●CPUで制御キャラクタに対して検出フラグのセット</li> <li>●CRCチェックにデータを含めるか否か</li> <li>●ポインタ、パラメータの更新</li> <li>●DMA動作に対してウェイト/レディをイネーブル</li> <li>●DMA動作イネーブル</li> <li>●割り込みからの復帰</li> </ul> </li> <li>○ウェイト/レディがアクティブになるとDMAは以下の項目を実行する <ul style="list-style-type: none"> <li>●メモリへデータ転送</li> <li>●特別なキャラクタをDMAが検出すると割り込み</li> <li>●メッセージの最終キャラクタをDMAが検出しCPUへ割り込み</li> </ul> </li> <li>○メッセージを終了するためにCPUは以下の項目を実行する <ul style="list-style-type: none"> <li>●CPUへRR1を転送</li> <li>●CRCの結果に従いACK/NAKフラグをセットする</li> <li>●ポインタ、パラメータの更新</li> <li>●割り込みからの復帰</li> </ul> </li> </ul>	<p>ハント・モードの期間、SIOは2個の連続したキャラクタを検出し、同期を成立させる。CPUはDMAモードに設定し、以後の転送はDMAコントローラにより行われる。DMAは特別なキャラクタを検出するようにプログラムされ、(ASCII、EBCDICコードを特徴づけるビットを調べる。)そのキャラクタを検出後、CPUに対し割り込み発生。CPUはステータス制御キャラクタを調べ、適当な処理を行う。(例：CRCイネーブル更新)。</p> <p>エラー状態に対してSIOはCPUへ割り込み発生。エラー・ルーチンで現在のメッセージを無効にし、エラー状態をクリアして動作をくり返す。</p>
終了	割り込みモードと同期モードの再設定 モデム制御の更新、受信モード・ディセーブル	

## 第6章 SDLC (HDLC) モード

Z-80 SIOは、ハイレベル同期データ・リンク制御 (HDLC)、IBM同期データ・リンク制御 (SDLC) の両プロトコルを扱うことができる。SDLCとHDLCは非常に似ているので、以下SDLCについてのみ記述する。

SDLCはそれがキャラクタ指向でなくビット指向であるという理由により、同期バイシンク・プロトコルとはかなり異なっている。したがってSDLCモードにおいてはトランスベアレント動作をごく自然に処理することができる。メッセージ長とビット・パターンの点からみると、SDLCはビット指向にすることにより柔軟性のあるプロトコルになる。Z-80 SIOはメッセージの長さを可変できるいくつかの機能を内蔵している。SDLCプロトコルに関する詳細な情報は、この件に関して発行された文献、たとえば、IBMドキュメントGA27-3093に載っている。

フレームと呼ばれるSDLCのメッセージ (図8) は、バイシンク・プロトコルの同期キャラクタに似ているフラグによってオープン、クローズする。Z-80 SIOはデータ転送と、メッセージの開始とフレームの終了を指示するフラグ・キャラクタの認識を行う。Z-80 SIOは共有ゼロ・フラグを受信できるが、それらの送信はできない点に注意しよう。SDLCフレームの8ビット・アドレス・フィールドは2次局のアドレスを含んでいる。Z-80 SIOはアドレス・サーチのモードをもっており、2次局のアドレスを認識してフレームを受け付けたり排除することができる。

SDLCフレームの制御フィールドはZ-80 SIOに対しては何の影響も与えず、ただ単にCPUに転送されるだけである。Z-80 SIOはフレーム・チェックのシーケンスを処理できるが、この場合CRCジェネレータをすべて1に初期設定したり、または受信モードで開始フラグを検出したときにCRCチェッカをリセットしたり、送信モードでフレーム・チェック・フラグを送るというような機能によってプログラムを簡単にできる。Z-80 SIOに含まれている自動ゼロ挿入と削除回路によって制御回路は簡単になる。

表7はSDLCの送受信モードにおけるWR3、WR4、WR5の意味である。WR0は他のレジスタの指定と種々のコマンドの指示を行う。WR2は割り込みベクトルを、WR7はフラグ・キャラクタを、WR6は2次アドレスを保持する。

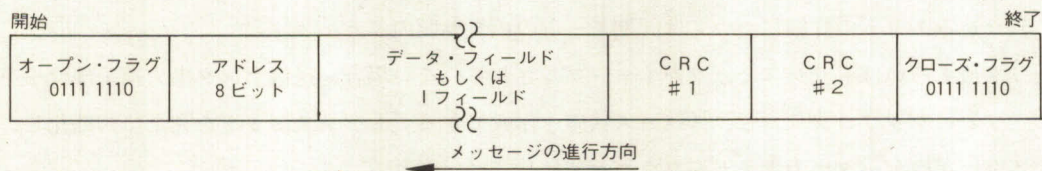


図8 SDLC/HDLCモード・メッセージ・フォーマット

表7 SDLCモードにおける書き込みレジスタWR 3、WR 4、WR 5の内容

ビット レジスタ	D7	D6	D5	D4	D3	D2	D1	D0
WR 3	00=R.5ビット/キャラクタ 01=R.7ビット/キャラクタ 10=R.6ビット/キャラクタ 11=R.8ビット/キャラクタ		オ ー ト イネーブル	エ ン タ ハ ン ト フ ェ ー ズ (入力データ 不 要 時)	受 信 C R C イネーブル	ア ド レ ス サ ー チ モ ー ド	0	受 信 イネーブル
WR 4	0	0	1 0 SDLCモード選択		0	0	0	0
WR 5	DTR	00=5ビット以下/キャラクタ 01=7 ビット /キャラクタ 10=6 ビット /キャラクタ 11=8 ビット /キャラクタ		0	送 信 イネーブル	0 SDLC C R C	RTS	送信C R C イネーブル

## 6. 1 SDLC送信

### 6. 1. 1 初期化

同期モードと同じように、SDLC送信モードでは、次のパラメータSDLCモード、SDLC生成多項式、RTS、DTR、送信キャラクタ長、送信割り込みモード(またはウェイト/レディ機能)、送信イネーブル、オート・イネーブルおよび外部/ステータス割り込みを初期設定しなければならない。

SDLCモードとSDLCの生成多項式を選択すると、Z-80 SIOはイネーブルになり、CRCジェネレータはすべて1に初期設定されるが、これは送信CRCジェネレータ・リセット・コマンド(WR 0)の送出によって行う。割り込みモードの詳細については同期モードの項を参照のこと。

リセット後あるいはトランスミッタがイネーブルされていない場合、送信データ出力端子はマーキング状態を保つ。ブレイクをプログラムし、スペース状態を作成できる。トランスミッタを完全に初期化し、イネーブルにすると、送信データ出力端子からフラグが連続して送信される。

アボート送出コマンド(WR 0のコマンド1)を書き込むことにより、アボート・シーケンスを送ることができる。このシーケンスでは、TxDが連続フラグに復帰するまえに8個以上で14個よりも少ない1を送信する。アボート・シーケンス(8個の1)は5ビットの連続する1(ゼロ挿入回路においては5個までが許される)のあとに続くことができるが、この場合13個の1が送られる。アボート・コマンドを送ると送信中のデータおよび送信バッファ内のデータは消失する。

一連のデータの中に5個の連続する1がある場合、必要に応じて次に余分の0が自動的に挿入される。フラ

(注意) コマンド0~7はWR 0レジスタD5~D3の各コマンドを意味する。

電源投入後にZ-80SIOを初めてSDLCモードに設定する場合には、6, 1, 3の手順に従い行うこと。

グやアボートに対してはこれは適用されない。

### 6. 1. 2 データ転送とステータスの監視

SDLCモードにおいては、割り込みとウェイト/レディ機能の間にいくつかの組み合わせがある。

#### 割り込みを用いたデータ転送

送信割り込みイネーブル・ビットがセットされていると、バッファが空になるごとに割り込みを発生する。他のキャラクタをトランスミッタに書き込むか、送信割り込み保留ラッチを送信割り込みの保留リセット・コマンド (WR0のCMD5) によってリセットすることにより、各割り込みに対して対処できる。このコマンドによって割り込みに対処し、トランスミッタに書き込みがなければ、送信割り込みは以後発生しない。結果として送信アンダーランの状態になる。他のキャラクタを書き込み、それが送出されると、トランスミッタは再度空になり、CPUに対して割り込みを要求する。SDLC動作においては、送信割り込みモードを用いて、フラグに続いて、8ビット・アドレス・フィールド、制御フィールドおよび情報フィールド (Iフィールド) をZ-80 SIOに送る。Z-80 SIOは送信アンダーランの機能を用いて、フレーム・チェック・シーケンスを送信する。

トランスミッタが最初にイネーブルになったときは、送信バッファ空による割り込みは最初のデータ・キャラクタを書き込んだあとまでは発生しない。

#### ウェイト/レディを用いたデータ転送

ウェイト/レディ機能を選択すると、ウェイトはCPUに対して、Z-80 SIO側ではデータを受け取る用意ができていないので入出力サイクルを拡張しなければならないことを示し、一方、レディはDMAコントローラに対して送信バッファが空であり、Z-80 SIO側では次のキャラクタの受け取り用意ができていないことを示す。送信シフト・レジスタが空になる時間までにZ-80 SIOにデータ・キャラクタがロードされていなければ、Z-80 SIOは送信アンダーランの状態になる。アドレス、制御、情報の各フィールドを、ウェイト/レディの機能を用いてZ-80 SIOに転送することができる。Z-80 SIOは送信アンダーランの機能を用いてフレーム・チェック・シーケンスを送信する。

#### SDLC送信アンダーラン/EOM

SDLC類似のプロトコルでは、メッセージ内をキャラクタで満たす手段をもっていない。一方、Z-80 SIOは、送信データ・バッファと出力シフト・レジスタに送信すべきビットがない場合、自動的にSDLCフレームを終了する。Z-80 SIOは、まず、2バイトのCRCを送り、続いて1個以上のフラグを送ることによりこれを実現する。このテクニックを用いると、非常に高速のデータ転送をDMA制御やCPUのブロック入出力制御下で行うことができ、CPUに対して送信メッセージの終了に高速に応答させる必要がなくなる。

Z-80 SIOが送信アンダーランの状態においてとる動作は送信アンダーラン/EOMコマンドの状態によって決まる。リセット後、送信アンダーラン/EOMのステータス・ビットはセット状態になり、送信データがない期間にCRCキャラクタが挿入されるのを禁止する。したがってフラグ・キャラクタが送信される。Z-80 SIOはデータが送信バッファに書き込まれると、フレームの送信を開始する。最初のデータ書き込み時点からメッセージの終了までの間に、送信アンダーラン/EOMリセット・コマンドを書き込まなければならない。このよ

うにして送信アンダーラン/EOMステータス・ビットがメッセージの終わりにおいて(アンダーランが生じた場合)、リセット状態になり、自動的にCRCキャラクタを送出する。CRCキャラクタを送出すると、再度送信アンダーラン/EOMステータス・ビットはセットされる。

1つのメッセージ内において送信アンダーラン/EOMビットをいつリセットするかという点について制限条件はないけれども、通常リセットは第1データ・キャラクタ(2次局アドレス)をZ-80 SIOに書き込んだあとで行う。このビットをリセットすると、送るべきデータがなくなった時点でZ-80 SIOはCRCとフラグを送信し、これよりCPUが誤りを認識しアボート・コマンドによって対処するための時間的余裕が生じる。メッセージ内で早めにリセットすることにより、予期せぬ送信アンダーランの状態が発生した場合に、メッセージ全体の中でCPUがそれに応答するために最大限の時間を得ることができる。

外部/ステータス割り込みがセット状態でCRCが送信中であると、送信アンダーラン/EOMビットがセットされる。そして送信バッファ空ビットはリセットされ、送信レジスタはCRCデータで満たされていることを示す。CRCが完全に送信された時点で送信バッファ空のステータス・ビットがセットされ、割り込みが発生してCPUに対して他のメッセージを書き込んでもよいことを知らせる。この割り込みが起こった原因は、CRCの送信が完了し、フラグがロードされたからである。送るべきメッセージがなくなると、 $\overline{\text{RTS}}$ をリセットしトランスミッタをディセーブすることにより送信を終了することができる。

SDLCモードにおいては、第1キャラクタをZ-80 SIOに書き込んだ直後に送信アンダーラン/EOMステータス・ビットをリセットする方がよい。このようにすることにより、送信アンダーランが検出されると、確実にトランスミッタがCRCキャラクタで満たされ、CPUにとってアボート・コマンドを書き込む時間的余裕が生まれる。これはまたフラグが早まって出力線に出るのを抑え、レシーバがそのフレームを正しいデータとして受け付けるのを防止する。受信側では自動フラグ挿入直前のデータ・パターンがCRCチェッカの内容と一致し、CRCチェックが誤った結果になるというのは可能性としてはあるので、前記状態が起こり得ないということはない。送信アンダーランのために送信アンダーラン/EOMビットがセットされると、外部/ステータス割り込みが発生する。

送信アンダーランの回路はCPUが割り込みサービス・ルーチン内においてZ-80 SIOに対して正しい応答さえすれば早まってフラグが挿入されることがないように、保護回路をもっている。次の例を用いてこの点を明確にする。

Z-80 SIOは送信バッファ空のステータス・ビットをセットして割り込みを発生する。CPU側の応答時間が間に合わず送信アンダーランの状態が発生する。

Z-80 SIOはCRCキャラクタ(2バイト)を送信開始する。

CPUは送信中のCRCキャラクタに続いて1データ・キャラクタを書き込み、送信バッファ空による割り込みに対処する。

Z-80 SIOは送信アンダーラン/EOMステータス・ビットをセットして外部/ステータス割り込みを発生する。

CPUは送信アンダーラン/EOMステータスを読み、内部ステータスの状態から現在の割り込みはメッセージの終了によって発生したものでないことを知る。

直後にCPUはZ-80 SIOに対してアボート・コマンド(WR0)を書き込む。

Z-80 SIOはその送信中のデータ(CRC、データ、フラグ)が何であれ、アボート・シーケンスを送信する。

## SDLC CRC生成

CRC計算を始めるまえに、各フレームの先頭においてCRCジェネレータをすべて1にリセットしなければならない。実際のCRC計算は、プログラムによってZ-80 SIOにアドレス・フィールド(8ビット)を書き込んだ時点から開始する。Z-80 SIOは自動的に1個のフラグ・キャラクタを送信イネーブル後に送信するが、受信側で確実にキャラクタ同期をとるためには、メッセージに先立って数個のフラグ・キャラクタを送った方がよい。これはトランスミッタをイネーブルにし、第1キャラクタをロードするまえに、時間を確保して外部か

ら行うことができる。

アドレス・フィールドを書き込むまえに、送信 CRC イネーブル・ビット (WR5 の D<sub>0</sub>) をセットしなければならない。SDLC モードにおいては、オープン・フラグとクローズ・フラグ間のすべてのメッセージに対して CRC を計算し、生成された CRC はデータ線の上に送信されるまえに反転される。

### 送信終了

キャラクタ送信中にトランスミッタをディセーブルすると、そのキャラクタは影響を受けずに送信されるが、後続のデータは CRC やフラグ・キャラクタにならず、マーキング状態になる。

トランスミッタがディセーブルされると、バッファ中のキャラクタはバッファ内に残っているが、アボート・シーケンスはアボート・コマンドが制御レジスタに書き込まれた時点で有効になる。送信中のキャラクタがもしあっても、それは消失する。CRC の場合、トランスミッタがディセーブルされると 16 ビットの送信は完了するが、CRC の代わりにフラグが送信される。

すべてのモードにおいて、キャラクタは最下位ビットから送信される。これは語長が 8 ビットより小さい場合にデータを右側にそろえる必要があるからである。語長が 5 ビット以下であるならば、書き込みレジスタ 5 の項で述べる特別な手法を使用しなければならない (第 7 章 Z-80 SIO プログラミングの書き込みレジスタの項参照)。

送信中にキャラクタ当たりのビット数を変更できるので、データ・フィールドはどのようなビット数によっても満たすことができる。受信端数コードを使用する場合、Z-80 SIO は可変 I フィールドをもつメッセージを受信でき、I フィールドのキャラクタ構成についての事前情報 (もしあれば) なしに受信メッセージとまったく同じ内容で再送信できる。ビット数が変化してもシフト中のキャラクタには影響を与えない。キャラクタは、そのキャラクタが送信バッファからトランスミッタへロードされる時点においてプログラムされたビット数で送信される。

外部 / ステータス割り込みイネーブル・ビットがセットされている場合、CRC キャラクタ送信開始、フラグ・キャラクタ送信開始および CTS の状態変化などトランスミッタの状態により割り込みを発生し、もしステータス・アフェクト・ベクトルがセットされているならば、特別な割り込みベクトルを出力する。ポーリング・モードで動作させる場合、すべての割り込みをディセーブルできる。

表 8 に半二重 SDLC 送信モードを実現する場合の代表的プログラム・ステップ例を示す。

### 6. 1. 3 電源投入後の初期化

電源投入後に、初めて SIO を SDLC モードに設定する場合には、次の手順に従って行うこと。

- (1) チャネル・リセット。
- (2) SIO をモノシンク・モードに設定。
- (3) 同期キャラクタを、FF<sub>H</sub> に設定。
- (4) 送信イネーブル。

これ以後、表 8 の手順に従い、SIO を SDLC モードに設定する。

表8 SDLC送信モード

機能	代表的プログラム・ステップ	説明
初期化	<p>レジスタ ロード内容</p> <p>WR 0 チャンネル・リセット WR 0 ポインタ2 WR 2 割り込みベクトル WR 0 ポインタ3 WR 3 オート・イネーブル WR 0 ポインタ4、外部/ステータス割り込みリセット WR 4 パリティ、SDLCモード、×1クロック WR 0 ポインタ1、外部/ステータス割り込みリセット WR 1 外部割り込みイネーブル、ステータス・アフェクト・ベクトル、送信割り込みイネーブルか、ウェイト/レディ・モード・イネーブル</p> <p>WR 0 ポインタ5 WR 5 送信CRCイネーブル、RTS、SDLC-CRCイネーブル送信語長、DTR</p> <p>WR 0 送信CRCジェネレータ・リセット</p>	<p>SIOのリセット</p> <p>チャンネルBのみ</p> <p>トランスミッタは<math>\overline{\text{CTS}}</math>検出後のみデータ送信</p> <p>外部割り込みモードでは、送信アンダーラン/EOMラッチの状態の他に<math>\overline{\text{CTS}}</math>、<math>\overline{\text{DCD}}</math>入力の状態を監視する。送信割り込みは、送信バッファ空のとき割り込みを発生する。ウェイト/レディ・モードは、DMAがブロック転送によりデータを転送する場合に使用する。最初の割り込みは、<math>\overline{\text{CTS}}</math>がアクティブになった時点で発生するが、このときフラグがSIOに送信される。最初のデータ(アドレス・フィールド)はこの割り込み後にSIOにロードすることができる。</p> <p>フラグはSIOにデータとして送信できない。ステータス・アフェクト・ベクトルはチャンネルBのみ使用。</p> <p>SDLC-CRCモードは、送信CRCジェネレータの初期化まえに設定する必要がある。</p> <p>CRCジェネレータをすべて1に設定する。</p>
アイドルモード	<p>ホールド命令か他のプログラムを実行</p>	<p>データ転送のために割り込みかウェイト/レディ出力待ち。</p>
データ転送とステータスの監視	<ul style="list-style-type: none"> <li>○ 割り込み(ウェイト/レディ)発生時CPUは以下の項目を実行する <ul style="list-style-type: none"> <li>● 送信語長の変更(必要時)</li> <li>● CPUまたはメモリからSIOへデータ送信</li> <li>● 送信アンダーラン/EOMラッチのリセット(WR 0)</li> </ul> </li> <li>○ Iフィールドの最終キャラクタが送信されるとSIOは以下の項目を実行する。 <ul style="list-style-type: none"> <li>● CRC送信</li> <li>● クローズ・フラグ送信</li> <li>● CPUへバッファ空による割り込み</li> </ul> </li> <li>○ CPUは以下を実行する <ul style="list-style-type: none"> <li>● 送信割り込み保留リセット・コマンドをSIOへ送る</li> <li>● カウント更新</li> <li>● 次のメッセージに対する処理のくり返しなど</li> </ul> </li> <li>○ ベクトルによりエラーを指示するとCPUは以下を実行する <ul style="list-style-type: none"> <li>● アボート送信</li> <li>● エラー・ルーチン実行</li> <li>● パラメータ、モードの更新など</li> <li>● 割り込みからの復帰</li> </ul> </li> </ul>	<p>送信イネーブルがセットされ、<math>\overline{\text{CTS}}</math>がアクティブになると、すぐにフラグをSIOへ送る。<math>\overline{\text{CTS}}</math>の状態が変化するのは、最初の割り込みで、しかも、そのあとに送信バッファに連続して転送するデータがない場合である。</p> <p>語長は送信中に変更可能である。データにはアドレス、制御、Iフィールドの各情報が含まれる(フラグは除外)。メッセージの始めに送信アンダーラン/EOMラッチをリセットし、受信側で誤ってエンド・オブ・フレームを検出しないようにした方がよい。これにより、アンダーラン発生時に確実にCRCが送信され、アンダーラン割り込みが発生する(送信アンダーラン/EOMラッチ・アクティブ)。送信をアボートするためにアボート送信コマンドを送ることができる。</p>
終了	<p>割り込みモードの再設定 モデム制御出力の更新 送信モード・ディセーブル</p>	

## 6. 2 SDLC受信

### 6. 2. 1 初期化

SDLCを受信モードで使用する場合、SDLCモード、×1クロック・モード、SDLC生産多項式、受信語長などのパラメータを初期設定する。フラグ・キャラクタをWR7に、2次局アドレス・フィールドをWR6にロードしなければならない。レシーバのイネーブルはすべての受信パラメータを書き込んだあとでのみ行う。これらがすべて完了したあとでは、レシーバはハント・フェーズに入り、最初のフラグ受信までこのフェーズが続く。SDLCモードの期間中、レシーバは、特にプログラムによって指示されることがなければ、ハント・フェーズに再度入ることはない。WR4のパラメータはWR1、WR3、WR5、WR6、WR7のパラメータよりさきに設定しなければならない。

プログラム制御により、レシーバはアドレス・サーチ・モードに入ることができる。アドレス・サーチ・ビット(WR3のD<sub>2</sub>)をセットすると、フラグに続くキャラクタ(フラグでない最初のキャラクタ)は、WR6内にプログラムされたアドレスおよびグローバル・アドレス(1111 1111)と比較される。もし、SDLCフレームのアドレス・フィールドの内容と前記のどちらかのアドレスが一致すると、データ転送を開始する。

Z-80 SIOは1個のアドレス・キャラクタに対してしか一致能力をもたないので、拡張アドレス・フィールドの認識はCPUによって行わなければならない。この場合、Z-80 SIOは単に追加アドレス・バイトをCPUに対して、それがあたかもデータ・キャラクタであるかのように転送するだけである。もし、CPU側でそのフレームに正しいアドレス・フィールドが含まれていないと判断すると、CPUはハント・ビットをセットすることができる。これによりZ-80 SIOはそのフレームのそれ以上の受信をやめ、先頭にフラグの付いた新しいメッセージを捜す。フレームの制御フィールドはZ-80 SIOに対して何の影響も与えないので、制御フィールドはCPUに対してデータとして転送される。一連のデータ中に挿入された余分の0は、自動的に削除されるが、フラグはCPUに転送されない。

### 6. 2. 2 データ転送とステータスの監視

正しいフラグを受信したあと、アSEMBルされたキャラクタは受信データFIFOに転送される。このデータおよび関連ステータスを転送するために次に示す4種の割り込みモードを使用できる。

#### 割り込みディセーブル

完全なポーリング動作かオフ・ライン状態で使用する場合、このモードを使用する。

#### 第1キャラクタ受信割り込み

入力データの転送レートに対してCPUやDMAコントローラを同期させる目的で、ポーリング・ループや、WAIT/READY線を用いたブロック転送を開始する場合にこのモードを使用する。このモードでは、Z-80 SIOは第1キャラクタに対して割り込みを発生し、以後特別受信条件を検出した場合においてのみ割り込みを発生する。このモードを再度初期化する場合には、次の受信キャラクタで割り込みイネーブル・コマンド(WR0のD<sub>5</sub>~D<sub>3</sub>)を使用する。

前記コマンドを設定すると、次に受信したキャラクタで割り込みを発生する。外部/ステータス割り込みをイネーブルにすれば、DCDが変化するとどの時点においても割り込みを発生する。特別受信条件、たとえば、エンド・オブ・フレームや受信オーバーランによって割り込みを発生する。エンド・オブ・フレームによる割り込みは、ブロック転送モードから抜け出すために使用される。

## 全キャラクタ受信割り込み

このモードでは、受信FIFOにキャラクタが入るとつねに割り込みを発生する。エラーおよび特別受信条件によりステータス・アフェクト・ベクトルが選択されている場合、特別なベクトルを発生する。

## 特別受信条件割り込み

特別受信条件による割り込みは、前記のようにはっきりと分離できる割り込みモードではない。特別受信条件により割り込みを発生させるまえに、第1受信キャラクタのみによる割り込みまたは全受信キャラクタによる割り込みのいずれかのモードを選択していなければならない。特別受信条件として割り込みを発生させるものに受信オーバーランやエンド・オブ・フレームの検出がある。受信オーバーランのステータスはラッチされるので、読み出したエラーの状態は、最後のエラー・リセット・コマンドの書き込み以後に受信した語のエラーと受信バッファ内の現在の語のエラーを合わせた結果を反映したものになる。受信オーバーランのステータス・ビットはエラー・リセット・コマンドによってのみリセットできる。エンド・オブ・フレームのステータス・ビットは、クローズ・フラグを正しく受信したことを示す。

送信中にキャラクタ長を変えてもよい。アドレスと制御バイトが8ビット・キャラクタで処理される場合、第1の情報キャラクタがアセンブルされている時間中に、より短いキャラクタ長にレシーバを変更できる。この変更は高速に行う必要があり、キャラクタ長に対応して決められたビット数のアセンブルが完了するまえに有効になっていなければならない。たとえば、8ビットの制御フィールドから7ビットのIフィールドへ変化させる場合、その変化はIフィールドの最初の7ビットがアセンブルされるまえに行わなければならない。

## SDLC受信CRCチェック

受信CRCチェッカは自動的に制御される。CRCチェッカは先頭のフラグによりリセットされ、CRC計算はクローズ・フラグまで行われる。エンド・オブ・フレーム・ビットがセットされるのは、CRCチェックの結果を含むバイトに対してである。もし、CRC/フレーミング・エラー・ビットがセットされなければ、CRCは正しいメッセージを示す。SDLCの場合、送信CRCは反転されるので、特別なチェック・シーケンスが用いられる。最後のチェックは0001 1101 0000 1111でなければならない。Z-80 SIOは2バイトのCRCキャラクタをデータとして取り扱うので、CPUはそれらのデータを読み取り後捨てなければならない。

## SDLC受信終了

クローズ・フラグを受信すると、もし、ステータス・アフェクト・ベクトルのビットがセットされていれば、特別受信条件のベクトル割り込みが発生する。これによりエンド・オブ・フレーム・ビットをセットしてクローズ・フラグを受信されたことを示す。CRCチェックの結果に加えて、RR1はこの時点において有効な3ビットの端数コードをもつ。Iフィールドのビット数が使用されているキャラクタ長の整数倍でない場合、この3ビットはCRCチェック・ビットとIフィールドのビット間の境界を示す。これらのビットの詳細な意味については、第7章Z-80 SIOプログラミングのRR1内の端数コードの項において示す。

どのようなフレームであれ、アボート・シーケンスによりアボートさせることができる。アボートは、連続した7個以上の1を受信することにより検出される。そのとき、外部/ステータス割り込みビットがイネーブルであれば、外部/ステータス割り込みが発生し、RR0内のブレーク/アボート・ビットをセットする。

外部/ステータス割り込みリセットのコマンドを書き込んだあと、1が連続する状態が解除された時点で第2の割り込みが発生する。この割り込みをアボートとアイドル状態を区別するために使用できる。

同期モードと異なり、SDLCにおけるCRC計算においては、すべてのキャラクタがCRC計算に含まれるという理由により8ビットの遅延はない。2番目のCRCキャラクタが受信バッファにロードされた時点でCRC計算は完了する。

表9は半2重受信モードを実現する場合に必要な代表的なプログラム・ステップである。コマンドおよびステータス・ビットについて次章で詳しく説明する。

表9 SDLC受信モード

機能	代表的プログラム・ステップ	説明
初期化	レジスタ ロード内容	
	WR 0 チャンネル・リセット	SIOのリセット
	WR 0 ポインタ2	
	WR 2 割り込みベクトル	チャンネルBのみ
	WR 0 ポインタ4	
	WR 4 パリティ、同期モード、SDLCモード、×1クロック・モード	
	WR 0 ポインタ5、外部/ステータス割り込みのリセット	
	WR 5 SDLC-CRC、DTR	
	WR 0 ポインタ3	
	WR 3 受信CRCイネーブル、エンタ・ハント・モード、オート・イネーブル、受信キャラクタ長、アドレス・サーチ・モード	オート・イネーブルによりレシーバはDCDがアクティブになったあとにおいてのみデータ受信可能。アドレス・サーチ・モードによりSIOはメッセージのアドレスとプログラムされたアドレスまたはグローバル・アドレスとの一致をとることができる。
初期化	WR 0 ポインタ6	
	WR 6 2次アドレス・フィールド	SDLCのポーリングにおいて、このアドレスとメッセージのアドレスとの一致を調べる。
	WR 0 ポインタ7	
	WR 7 SDLCフラグ0111 1110	このフラグは、SDLCの動作においてフレームの始めと終りを検出する。
	WR 0 ポインタ1、外部/ステータス割り込みリセット	
初期化	WR 1 ステータス・アフェクト・ベクトル、外部割り込みイネーブル第1キャラクタのみで受信割り込み	この割り込みモードにおいてアドレス・フィールドのみ(1キャラクタのみ)がCPUへ転送される。続くフィールド(制御、Iフィールドなど)はDMAにより転送される。ステータス・アフェクト・ベクトルはチャンネルBのみ。次のデータのために、単純なループ・バック・エントリを用意する。
	WR 0 ポインタ3、次の受信キャラクタで割り込みイネーブル	WR3によりレシーバをイネーブルする。
初期化	WR 3 受信イネーブル、受信CRCイネーブル、エンタ・ハント・モード、オート・イネーブル、受信キャラクタ長、アドレス・サーチ・モード	
	WR 0 ポインタ3、次の受信キャラクタで割り込みイネーブル	
アイドルモード	ホールド命令か他のプログラムを実行	SDLC初期化、アドレス・マッチングによる割り込み待ち

表9 続き

<p>データ転送とステータスの監視</p>	<p>○第1キャラクタで割り込みが発生するとCPUは以下を実行する</p> <ul style="list-style-type: none"> <li>●CPUヘデータ・バイト (アドレス・バイト) 転送</li> <li>●拡張アドレス・フィールドに対する適当なフラグの検出とセット</li> <li>●ポインタとパラメータの更新</li> <li>●DMAコントローラ・イネーブル</li> <li>●SIOのウェイト/レディ・イネーブル</li> <li>●割り込みからの復帰</li> </ul> <p>○レディがアクティブとなればDMAは次を実行する</p> <ul style="list-style-type: none"> <li>●データをDMAへ転送</li> <li>●ポインタの更新</li> </ul> <p>○エンド・オブ・フレーム割り込みが発生すると CPU は次を実行する</p> <ul style="list-style-type: none"> <li>●DMAモード打ち切り (ウェイト/レディ)</li> <li>●CPUへRR1を転送</li> <li>●CRCエラー・ステータスと端数コードのチェック</li> <li>●カウントの更新</li> <li>●SIOへエラー・リセット・コマンド送出</li> </ul> <p>○アボート・シーケンス検出による割り込み発生でCPUは次を実行する</p> <ul style="list-style-type: none"> <li>●CPUへRR0の転送</li> <li>●DMAモード打ち切り</li> <li>●外部/ステータス割り込みリセット・コマンドをCPUへ送る</li> <li>●アイドル・モードへの移行</li> </ul> <p>○2番目のアボート・シーケンス割り込みが発生するとCPUは次を実行する</p> <ul style="list-style-type: none"> <li>●外部/ステータス割り込みリセット・コマンドをSIOへ送る。</li> </ul>	<p>ハント・フェーズの期間に、SIOはプログラムしたアドレスとメッセージ・アドレスが一致すると割り込みを発生する。CPUはDMAモードを設定し、後続のデータ・キャラクタはDMAによりメモリへ転送される。</p> <p>DMA動作の期間、SIOは<math>\overline{\text{DCD}}</math>入力を監視し、また一連のデータ中に外部/ステータス・エラーにより割り込みを発生するアボート・シーケンスがないか監視する。受信オーバーラン・エラーにより特別受信条件割り込みが発生する。</p> <p>エンド・オブ・フレーム (フラグ) を検出すると割り込みを発生し、ウェイト/レディを無効にする。端数コードはメッセージの最後の2バイトのビット構成を示す。この2バイトはDMAによってメモリへ転送される。特別受信条件の解除のためにエラー・リセット・コマンドを送出する。</p> <p>データの中に7個以上の1を検出するとアボート・シーケンスになる。</p> <p>CPUは、終了のためアボート・シーケンスを待つ、ブ레이크/アボート・ステータスをクリアすると割り込みを発生する。 この時点で、プログラムによりこのメッセージの終了を開始する。</p>
<p>終了</p>	<p>割り込みモード、同期モード、SDLCモードの再設定 受信モード・ディセーブル</p>	

## 第7章 Z-80 SIO プログラミング

Z-80 SIOをプログラムするためには、システム・プログラムにおいて、まず、一連のコマンドを書き込み、基本動作モードに初期化し、続いて選ばれたモード内の動作を規定する他のコマンドを書き込む。たとえば、非同期モード、キャラクタ長、クロック・レート、ストップ・ビットの数、パリティの偶奇をまず最初に設定し、続いて割り込みのモードを設定し、最後にレシーバまたはトランスミッタをイネーブルにする。初期ルーチンにおいては、WR4のパラメータを他のパラメータよりもさきに設定しなければならない。

両チャンネルともにコマンド・レジスタをもち、Z-80 SIOを動作させるまえにこれらのレジスタをシステム・プログラムによってプログラムしなければならない。チャンネル選択入力線 ( $B/\overline{A}$ ) および制御/データ選択入力線 ( $C/\overline{D}$ ) は構成されたレジスタを指定するアドレス制御線であり、これらは通常CPUのアドレス・バスにより制御される。第9章において、書き込みレジスタをプログラミングする場合やデータやステータスを転送する場合のタイミング関係を示す。

### 7. 1 書き込みレジスタ

Z-80 SIOは各チャンネルに8個の書き込みレジスタ(WR0~WR7)をもっている。これらのレジスタはシステム・プログラム内において個別にプログラムされ、対応するチャンネルの機能を規定する。WR0以外の書き込みレジスタはプログラムに際して2バイト必要とする。最初のバイトはWR0であり、このレジスタ中の3ビット(WR0のD<sub>2</sub>~D<sub>0</sub>)によりレジスタを選択する。第2バイトにより実際の動作を規定しZ-80 SIO内の対応するレジスタに制御語を書き込む。

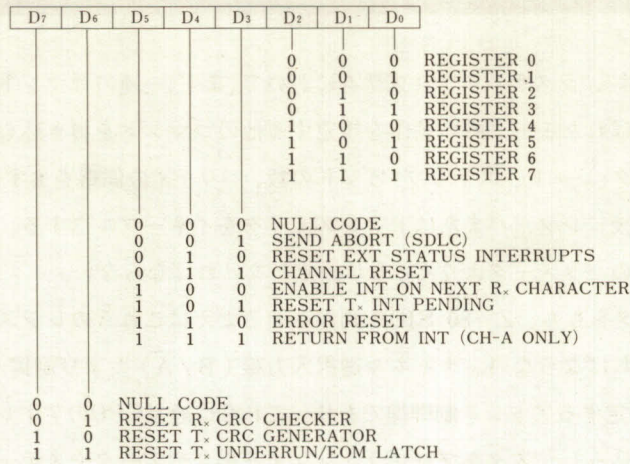
注意すべきことは、レジスタを指示したあとはプログラムは完全に自由であり、読み出しレジスタを調べるために読み出してもよいし、書き込みレジスタを初期化するために書き込んでよいという点である。Z-80 SIOの初期化に際して、そのプログラムをモジュール構造にするために強力なブロック入出力命令を使用できる。

WR0は特別な用途をもち、すべての基本的コマンド(コマンド・ビット2~0)を1バイトで設定できる。内部的手段であれ、外部的手段であれ、リセットするとポインタ・ビットD<sub>2</sub>~D<sub>0</sub>は初期化され、WR0を指示する。

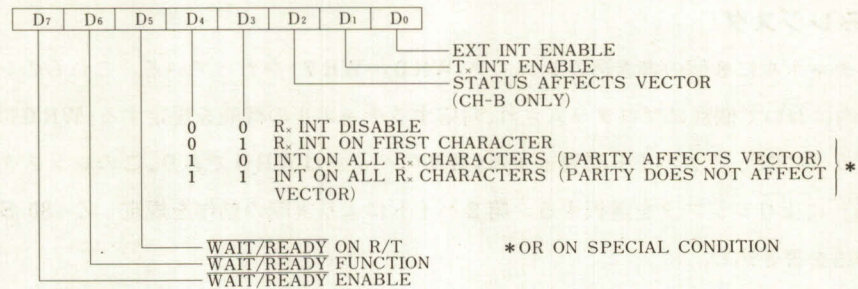
基本コマンド(コマンド・ビット2~0)とCRC制御(CRC<sub>1</sub>, CRC<sub>0</sub>)ビットは、書き込みレジスタの第1バイトに含まれている。これによりシステム制御に際して最大限の柔軟性を確保できる。各チャンネルはWR0に続いてアクセスされる制御レジスタをもち、これらのレジスタはコマンド(データではない)としてアドレス指定される。

\* コマンド0~7はWR0レジスタ(D<sub>5</sub>~D<sub>3</sub>)の各コマンドを意味する。

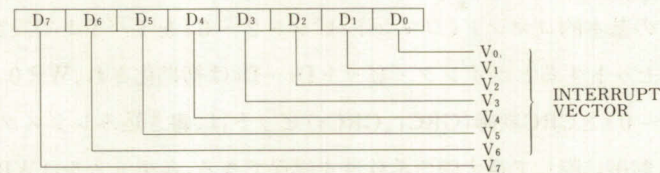
書き込みレジスタ0



書き込みレジスタ1



書き込みレジスタ2 (チャンネルBのみ)



書き込みレジスタ3

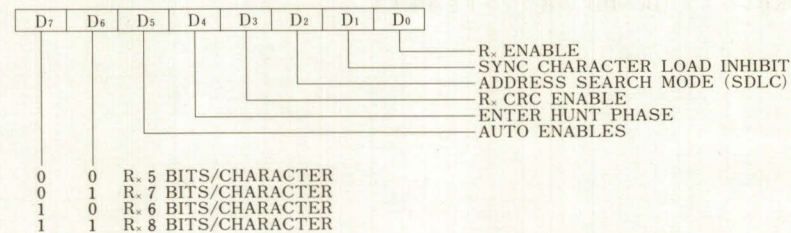
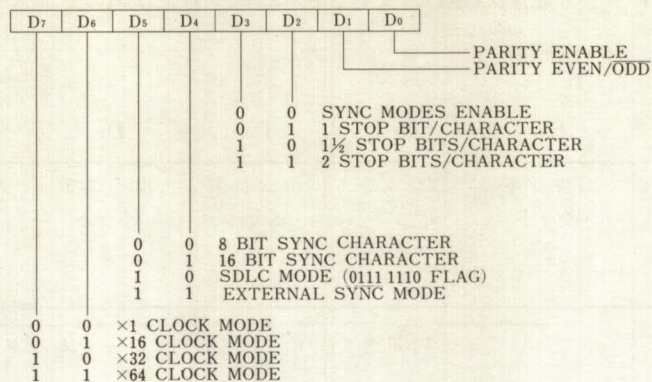
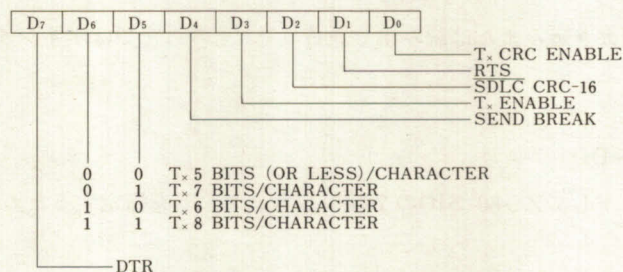


図9(a) 書き込みレジスタの各ビットの機能

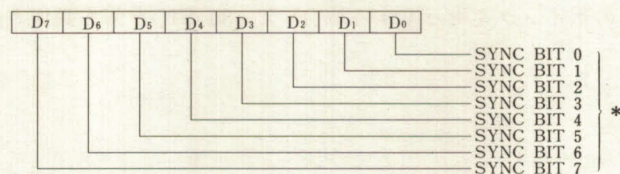
### 書き込みレジスタ4



### 書き込みレジスタ5

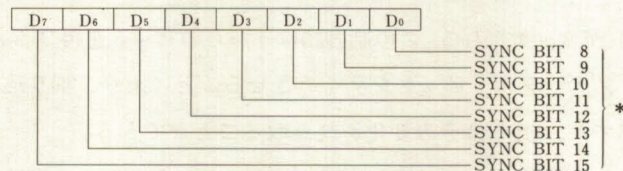


### 書き込みレジスタ6



\* SDLCモード時にはSDLCアドレスが入る。

### 書き込みレジスタ7



\* SDLCモード時にはフラグ“0111 1110”にプログラムする。

図9(b) 書き込みレジスタの各ビットの機能



### コマンド3=011

#### チャンネル・リセット

この制御語は、外部からのリセットと同じ操作を単一のチャンネルに関してのみ行う。

チャンネルAに対するリセットは、さらに割り込み優先回路もリセットする。

すべての制御用レジスタは、この制御語の実行後には再び書き込みが必要である。

この制御語が書き込まれたのち、次の制御語をZ-80 SIOの対応するチャンネルに書き込むまえにZ-80 SIOのリセット時間として、余分に4システム・クロック・サイクルが必要である。この時間として通常CPUが次の命令をフェッチする時間が用いられる。

### コマンド4=100

#### 次の受信キャラクタでイネーブル

第1受信キャラクタでのみ割り込み発生モードにプログラムされている場合、各メッセージを受信完了するごとにこの制御語によって上記モードを再びイネーブルにする。

### コマンド5=101

#### 送信割り込みの保留リセット

送信割り込みイネーブル・モードが選択されている場合、送信バッファが空になるとトランスミッタは割り込みを発生する。

送るべきキャラクタがない場合（たとえば、メッセージの終わりにおいて）、このコマンドを送ると、次のキャラクタが送信バッファにロードされるまで、あるいはCRCが完全に送信されるまで、送信割り込みの発生を抑える。

### コマンド6=110

#### エラー・リセット

このコマンドはエラー・ラッチをリセットする。パリティ・エラーおよびオーバーラン・エラーはこの制御語によってリセットされるまで、RR1においてラッチされている。この方法により、ブロック転送中に発生したエラーをブロックの終わりでのみ調べることができる。

### コマンド7=111

#### 割り込みからの復帰

この制御語はチャンネルAに送らなければならない。

Z-80 SIOはこの制御語に対して、データ・バス上のRETI命令を実行するのとまったく同じ動作をする。すなわち、割り込みサービスを受けている内部デバイス（レシーバやトランスミッタなど）の割り込みサービス中のラッチをリセットし、これによりデージェー・チェーンにおいて優先順位のより低いデバイスから割り込みをかけられるようになる。

外部デージェー・チェーンやRETI命令を使用しないシステムにおいても、この制御語の使用によりZ-80 SIO内部のデージェー・チェーンを使用することができる。

③ CRCリセット・コード1 および0 (D<sub>7</sub> および D<sub>6</sub>)

これらのビットにより次のリセット・コマンドのいずれかを選択する。

コード1 (D <sub>7</sub> )	コード0 (D <sub>6</sub> )	リセット・コマンド
0	0	ヌル・コード (影響なし)
0	1	受信CRCチェッカ・リセット
1	0	送信CRCジェネレータ・リセット
1	1	送信アンダーラン / EOMリセット

通常受信 CRC チェッカ・リセット・コマンド、送信 CRC ジェネレータ・リセット・コマンドはそれぞれ CRC チェッカ、CRCジェネレータをオール0に初期設定する。

SDLCモードの場合、受信CRCチェッカ・リセット・コマンド、送信CRCジェネレータ・リセット・コマンドは、それぞれCRCチェッカ、CRCジェネレータをオール1に初期設定する。

(2)書き込みレジスタ1 (WR1)

WR1は種々の割り込みモードおよびウェイト/レディ・モードを決める制御ビットをもっている。

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
ウェイト/レディ イネーブル	ウェイト/レディ 機能選択	ウェイト/レディ 受信/送信選択	受信割り込み モード1	受信割り込み モード0	ステータス アフェクト ベクトル	送信割り込み イネーブル	外部/ステータス 割り込み イネーブル

① 外部/ステータス割り込みイネーブル (D<sub>0</sub>)

このビットがセットされている場合、 $\overline{\text{DCD}}$ 、 $\overline{\text{CTS}}$  あるいは  $\overline{\text{SYNC}}$  入力の変化時、あるいはブレイク/アボートの検出時、および終了時に割り込みを発生する。

また、このビットがセットされていて送信アンダーラン/EOMラッチがセットされている場合、CRCキャラクタや同期キャラクタの送信開始時にも割り込みを発生する。

② 送信割り込みイネーブル (D<sub>1</sub>)

このビットがセットされていると、送信バッファが空に移行するときはいつでも割り込みを発生する。

③ ステータス・アフェクト・ベクトル (D<sub>2</sub>)

このビットはチャンネルBのみで有効である。

このビットがセットされていないとき、割り込み応答サイクルで Z-80 SIO から出力する割り込みベクトルは WR2 の内容と同じである。

このビットがセットされている場合、割り込み応答サイクルで Z-80 SIO から出力する割り込みベクトルは、次のように割り込み条件により WR 2 のビット V<sub>3</sub>~V<sub>1</sub> が変化する。

チャンネル	割り込み発生条件	V <sub>3</sub>	V <sub>2</sub>	V <sub>1</sub>
B	送信バッファが空	0	0	0
	外部 / ステータスの変化	0	0	1
	受信キャラクタ有効	0	1	0
	特別受信条件*	0	1	1
A	送信バッファが空	1	0	0
	外部 / ステータスの変化	1	0	1
	受信キャラクタ有効	1	1	0
	特別受信条件*	1	1	1

※特別受信条件 {  
 パリティ・エラー  
 受信オーバーラン・エラー  
 フレーミング・エラー  
 エンド・オブ・フレーム (SDLC)

④ 受信割り込みモード 1 および 0 (D<sub>4</sub> および D<sub>3</sub>)

これらのビットにより次表に示す割り込み発生条件 (モード) を決める。

受信割り込みモード 1、2、3 においては、特別受信条件により割り込みを発生でき、この場合表のように割り込みベクトルを変化させる。

モード	D <sub>4</sub>	D <sub>3</sub>	説明
0	0	0	受信割り込みディセーブル
1	0	1	最初のキャラクタのみで受信割り込み
2	1	0	すべての受信キャラクタで割り込み (パリティ・エラーは特別受信条件となる)
3	1	1	すべての受信キャラクタで割り込み (パリティ・エラーは特別受信条件とならない)

⑤ ウェイト / レディ機能選択 (D<sub>7</sub>~D<sub>5</sub>)

ウェイトとレディの機能選択は D<sub>7</sub>~D<sub>5</sub> ビットの制御によって行う。ウェイト / レディ機能はウェイト / レディ・イネーブル・ビット (WR 1 の D<sub>7</sub>) を 1 にセットすることにより動作する。レディ機能の選択は D<sub>6</sub> (ウェイト / レディ機能選択) を 1 にセットすることにより行う。もし、このビットが 1 であれば、WAIT / READY 端子は Z-80 SIO がデータ転送の用意ができた時点で 'High' レベルから 'Low' レベルに変化する。ウェイト機能

を選ぶ場合、D<sub>6</sub>を0にする。このビットを0にすると、 $\overline{\text{WAIT}}/\overline{\text{READY}}$  端子はオープン・ドレインになりアクティブ状態は $\text{Low}$ レベルである。

ウェイト、レディ両機能は送信、受信いずれのモードにおいても使用されるが、同時に使用されることはない。もし、D<sub>5</sub>(ウェイト/レディ受信/送信選択)が1であれば、ウェイト/レディ機能は受信バッファの状態(空かフル)に応答する。D<sub>5</sub>が0であれば、ウェイト/レディ機能は送信バッファの状態(空かフル)に応答する。

$\overline{\text{WAIT}}/\overline{\text{READY}}$  出力がいつアクティブ、非アクティブになるかは、選ばれたモードの組み合わせにより決定する。これらの組み合わせのまとめを次に示す。

D <sub>7</sub>	D <sub>5</sub>	D <sub>6</sub>	選択される機能	WAIT/READY端子出力
0	—	0	$\overline{\text{WAIT}}$	フローティング (アクティブ時 $\text{Low}$ レベル)
		1	$\overline{\text{READY}}$	$\text{High}$ レベル
1	0 (送信)	0	$\overline{\text{WAIT}}$	送信バッファがフルかつSIOのデータ・ポートが選択されているとき $\text{Low}$ レベル 送信バッファが空のときフローティング
		1	$\overline{\text{READY}}$	送信バッファがフルのとき $\text{High}$ レベル 送信バッファが空のとき $\text{Low}$ レベル
	1 (受信)	0	$\overline{\text{WAIT}}$	受信バッファがフルのときフローティング 受信バッファが空かつSIOのデータ・ポートが選択されているとき $\text{Low}$ レベル
		1	$\overline{\text{READY}}$	受信バッファがフルのとき $\text{Low}$ レベル 受信バッファが空のとき $\text{High}$ レベル

$\overline{\text{WAIT}}$  出力は入出力要求後 TdIO(W/RWf)時間遅れて  $\text{High}$  から  $\text{Low}$  レベルへ変化する。 $\text{Low}$  から  $\text{High}$  レベルへの変化は、クロックの立ち下がりから TdC(RWz)時間遅れて起こる。 $\overline{\text{READY}}$  出力は、クロックの立ち上がりから TdC(W/PR)時間遅れて  $\text{High}$  から  $\text{Low}$  レベルへ変化する。 $\overline{\text{READY}}$  出力の  $\text{Low}$  から  $\text{High}$  レベルへの変化は、 $\overline{\text{IORQ}}$  の立ち下がりから TdIO(W/RWf)時間遅れて起こる。

レディ機能はZ-80 SIO が選択されていないどの時点においても起こり得る。 $\overline{\text{READY}}$  出力がアクティブ( $\text{Low}$  レベル)になると、DMAコントローラは、データ転送を行うために $\overline{\text{IORQ}}$ および対応するB/AとC/Dを送る。 $\overline{\text{READY}}$ 出力は $\overline{\text{IORQ}}$ およびCSがアクティブになると非アクティブになる。レディ機能はZ-80 SIOがアドレス指定されているいなくZ-80 SIO内部で起こり得るので、 $\overline{\text{READY}}$ 出力はCPUのデータまたはコマンド転送が発生すると非アクティブになる。これはCPU側のデータ転送が行われている場合にはDMAコントローラはイネーブル状態にないので問題を生じない。

一方、ウェイト機能は、Z-80 SIOがまだデータを受信していない場合でCPUがそのデータを読もうとしたときにアクティブになる。このような状態はブロック転送命令を使用している場合にしばしば発生する。ウェイト機能はプログラム制御下で、もし、CPUが送信バッファがフルであるにもかかわらず、データを書き込もう

としたときにもアクティブになる。 $\overline{\text{WAIT}}$ 出力が、いずれのチャンネルに対しても反対側のチャンネルがアドレス指定されたときにアクティブになるという事実は、ソフトウェア・ループやブロック転送命令の動作に対しては影響を与えない。

### (3) 書き込みレジスタ 2 (WR 2)

WR 2は割り込みベクトル・レジスタであり、チャンネルBにのみ存在する。

ステータス・アフェクト・ベクトル(WR1のD<sub>2</sub>)が1のとき、割り込み応答サイクルにおいて、Z-80 SIOから出力するベクトル(V<sub>3</sub>~V<sub>1</sub>)は、割り込み発生条件により変化する。このときWR 2の内容は変化しない。(WR1で既述)

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
V <sub>7</sub>	V <sub>6</sub>	V <sub>5</sub>	V <sub>4</sub>	V <sub>3</sub>	V <sub>2</sub>	V <sub>1</sub>	V <sub>0</sub>

### (4) 書き込みレジスタ 3 (WR 3)

WR 3は、レシーバを制御するためのビットとパラメータをもつレジスタである。

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
受信ビット /キャラクタ 1	受信ビット /キャラクタ 0	オート・イネーブル	エンタ・ハント フェーズ	受信CRC イネーブル	アドレス・サーチ モード	同期キャラクタ ロード禁止	受信イネーブル

#### ① 受信イネーブル (D<sub>0</sub>)

このビットを1にプログラムすると受信動作を開始する。

このビットは、他の受信用のパラメータをすべてセットし、レシーバを完全に初期設定したあとでのみ、セットされなければならない。

#### ② 同期キャラクタ・ロード禁止 (D<sub>1</sub>)

このビットがセットされるとメッセージのまえにある同期キャラクタは受信バッファにロードされない。同期キャラクタが取り除かれても、CRCの計算は行われるので、この機能はメッセージの始めにおいてのみイネーブルされなければならない。

#### ③ アドレス・サーチ・モード (D<sub>2</sub>)

このビットはSDLCモードにおいて使用する。

SDLC モードが選択されている場合に、このビットがセットされているならば、WR6 にプログラムされたアドレス、あるいはグローバル・アドレス (1111 1111) と一致しないアドレスをもつメッセージは受信しない。すなわち、このビットがセットされていれば、アドレスが一致しない限り受信割り込みは発生しない。

#### ④ 受信CRCイネーブル (D<sub>3</sub>)

このビットがセットされていると、受信用シフト・レジスタからバッファ・スタックへの最後のキャラクターの転送開始時にCRCの計算が始まる (または再開する)。これはスタック中のキャラクター数とは無関係に行われる。このビットがセットされた場合の詳細については、6.2 SDLC受信のSDLC受信CRCチェックおよび5.2 同期受信のCRCエラー・チェックの項を参照のこと。

#### ⑤ エンタ・ハント・フェーズ (D<sub>4</sub>)

リセット後、Z-80 SIOは自動的にハント (検索) フェーズに入る。

同期モードにおいて何らかの理由でキャラクター同期がとれなくなるか、あるいはSDLCモードにおいて受け取ったメッセージの内容が不要になった場合、このビットを1にすることで再びハント・フェーズに入ることができる。

このビットをセットすると、シンク・ハント・ビット (RR0 のD<sub>4</sub>) がセットされる。

#### ⑥ オート・イネーブル (D<sub>5</sub>)

このビットがセットされている場合、DCD および CTS 入力によりそれぞれレシーバおよびトランスミッタはイネーブルになる。

このビットがセットされていなければ、DCD および CTS 入力はそれぞれ DCD および CTS ビット (RR0 のD<sub>3</sub> およびD<sub>5</sub>) に対応する入力となる。

#### ⑦ 受信ビット/キャラクター1および0 (D<sub>7</sub>およびD<sub>6</sub>)

これらのビットは、1つのキャラクターを構成する受信ビット数を決定する。

キャラクター・アセンブルが現在プログラムされているビット数に達するまえであれば、これらD<sub>6</sub>とD<sub>7</sub>はキャラクターのアセンブル中であっても変更できる。

D <sub>7</sub>	D <sub>6</sub>	ビット/キャラクター
0	0	5
0	1	7
1	0	6
1	1	8

(5) 書き込みレジスタ4 (WR4)

WR4はレシーバとトランスミッタの両方を制御するビットをもつレジスタである。

送信および受信時の初期設定において、これらのビットの設定はWR1、WR3、WR5、WR6、WR7を設定するまえに行わなければならない。

D7	D6	D5	D4	D3	D2	D1	D0
クロック レート 1	クロック レート 0	同 期 モ ー ド 1	同 期 モ ー ド 0	ストップ ビット 1	ストップ ビット 0	パリティ 偶 / 奇 選 択	パリティ 選 択

0 1 0 0 0 1 1 1

① パリティ選択 (D0)

このビットがセットされていれば、前記WR3のD7、D6で決められたビット数にさらに1ビットが送信データに付加され、その付加されたビット数で受信される。

受信動作において、8ビット/キャラクタが選択されているのでなければ、この付加されたパリティ・ビットはキャラクタの一部としてCPUに送られる。

② パリティ偶/奇 (D1)

パリティを選択するときこのビットによりパリティの送出およびチェックを偶で行うか、奇で行うかを決定する。(偶=1)

③ ストップ・ビット1および0 (D3およびD2)

これらのビットにより送信される非同期キャラクタに付加されるストップ・ビットの数を決定する。レシーバはつねに1ストップ・ビットをチェックする。

D3、D2がともに0の場合、同期モードになる。

D3	D2	ストップ・ビット
0	0	同期モード
0	1	1ストップ・ビット/キャラクタ
1	0	1½ストップ・ビット/キャラクタ
1	1	2ストップ・ビット/キャラクタ

④ 同期モード1および0 (D<sub>5</sub>およびD<sub>4</sub>)

これらのビットにより同期モードを選択する。

D <sub>5</sub>	D <sub>4</sub>	同期モード
0	0	8ビット同期モード
0	1	16ビット同期モード
1	0	SDLCモード(0111 1110フラグ・パターン)
1	1	外部同期モード

⑤ クロック・レート1および0 (D<sub>7</sub>およびD<sub>6</sub>)

これらのビットはクロック ( $\overline{T \times C}$ と $\overline{R \times C}$ )とデータ転送速度とのあいだの倍率を決める。

同期モードに対しては、×1のクロック・レートでなければならない。

非同期モードにおいては、次表に示す倍率であればどれでもよいが、送信側と受信側は同じ倍率を使用しなければならない。

すべてのモードにおいて、システム・クロックはデータ転送速度の4.5倍以上でなければならない。

×1のクロック・レートが選択されている場合、ビット同期は外部で行わなければならない。

D <sub>7</sub>	D <sub>6</sub>	クロック・レート
0	0	データ転送速度 × 1
0	1	データ転送速度 × 16
1	0	データ転送速度 × 32
1	1	データ転送速度 × 64

(6) 書き込みレジスタ5 (WR5)

WR5はトランスミッタ制御のためのビット (D<sub>2</sub>を除く) をもつレジスタである。

D <sub>7</sub> 0	D <sub>6</sub> 1	D <sub>5</sub> 1	D <sub>4</sub> 0	D <sub>3</sub> 1	D <sub>2</sub> 0	D <sub>1</sub> 1	D <sub>0</sub> 0
D T R	送信ビット / キャラクタ	送信ビット / キャラクタ	ブレーク 送 出	送信 イネーブル	CRC-16 / SDLC	送信要求	送信 CRC イネーブル
	1	0					

① 送信CRCイネーブル (D<sub>0</sub>)

このビットは特定の送信キャラクタに関してCRCを計算するかどうかを決定する。

もし、キャラクタが送信バッファから送信シフト・レジスタへロードされる時点でこのビットがセットされているならば、そのキャラクタに関してCRCを計算する。

送信アンダーラン状態の場合には、このビットがセットされていなければ、CRCは自動的に送られない。

## ② 送信要求 (D<sub>1</sub>)

送信要求 (RTS) ビットは $\overline{\text{RTS}}$ 端子に対応する制御ビットである。

このビットがセットされていると $\overline{\text{RTS}}$ 端子は“Low”レベルになる。

このビットをリセットすると $\overline{\text{RTS}}$ 端子は“High”レベルとなる。

非同期モードにおいては、RTS 端子はキャラクタの全ビットが送信され、送信バッファが空になったあとにおいてのみ“High”レベルとなる。

同期モードにおいては、 $\overline{\text{RTS}}$ 端子は単にこのビットの状態を示す出力端子となる。

## ③ CRC-16 / $\overline{\text{SDLC}}$ (D<sub>2</sub>)

このビットはトランスミッタとレシーバの両方で使用されるCRC多項式を選択する。

このビットが1のとき、CRC-16多項式 ( $X^{16}+X^{15}+X^2+1$ ) が選ばれる。

このビットが0のとき、CRC-CCITT多項式 ( $X^{16}+X^{12}+X^5+1$ ) が選ばれる。

SDLCモードを選択している場合、CRCジェネレータおよびチェッカはすべて1にプリセットされ、特別チェック・シーケンスが使用される。

CRC-CCITT多項式は、SDLCモードのときに使用しなければならない。SDLCモードを選択していない場合、CRCジェネレータおよびチェッカはすべて0にプリセットされる。

## ④ 送信イネーブル (D<sub>3</sub>)

このビットがセットされるまでデータは送信されず、TxD端子の出力はマーキング状態を保っている。送信開始後にこのビットがリセットされても、現在送信処理中のデータあるいは同期キャラクタは完全に送信される。

CRCキャラクタの送信中に、このビットをリセットすると、CRCの代わりに同期キャラクタかフラグが送信される。

## ⑤ ブレーク送出 (D<sub>4</sub>)

このビットをセットすると、どのようなデータ送信中であろうとTxD端子をスペース状態にする。

このビットをリセットすると、TxD端子はマーキング状態に戻る。

## ⑥ 送信ビット/キャラクタ1および0 (D<sub>6</sub>およびD<sub>5</sub>)

これらのビットにより、送信バッファへ送られる各バイトのビット数を制御する。

D <sub>6</sub>	D <sub>5</sub>	ビット/キャラクタ
0	0	5 以下
0	1	7
1	0	6
1	1	8

送られるビットは右に詰められ、送信は下位ビットからさきに行われる。

5以下のモードでは、1キャラクタ当たり1～5ビットの送信が可能であるが、CPUは次表にしたがってデータ・キャラクタを処理しなければならない。

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	送信ビット/キャラクタ
1	1	1	1	0	0	0	D	1
1	1	1	0	0	0	D	D	2
1	1	0	0	0	D	D	D	3
1	0	0	0	D	D	D	D	4
0	0	0	D	D	D	D	D	5

D：データ・ビット

⑦ DTR (Data Terminal Ready) (D<sub>7</sub>)

このビットはDTR端子の制御ビットである。

このビットが1のとき、 $\overline{\text{DTR}}$ は‘Low’レベルに、0のときは‘High’レベルになる。

(7) 書き込みレジスタ6 (WR 6)

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
SYNC	SYNC	SYNC	SYNC	SYNC	SYNC	SYNC	SYNC
7	6	5	4	3	2	1	0

このレジスタは、モノシンク・モードにおいては送信同期キャラクタ、バイシンク・モードにおいては16ビット同期キャラクタの最初の8ビット、外部同期モードにおいては送信同期キャラクタとなるようにプログラムされる。また、このレジスタはSDLCモードにおいては、SDLCフレームのアドレス・フィールドと比較するために使用される2次局アドレス・フィールドとなるようにプログラムされる。

(8) 書き込みレジスタ7 (WR 7)

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
SYNC	SYNC	SYNC	SYNC	SYNC	SYNC	SYNC	SYNC
15	14	13	12	11	10	9	8

このレジスタは、モノシンク・モードにおいては受信同期キャラクタ、バイシンク・モードにおいては16ビット同期キャラクタの2番目のバイト(最後の8ビット)、SDLCモードにおいてはフラグ・キャラクタ(01111110)となるようにプログラムされる。WR 7は外部同期モードでは使用しない。

同期モード	WR6	WR7
モノシンク・モード	送信同期キャラクタ	受信同期キャラクタ
バイシンク・モード	16ビット同期キャラクタの 始めの8ビット	16ビット同期キャラクタの 終わりの8ビット
外部同期モード	送信同期キャラクタ	使用しない
SDLCモード	SDLC チェック・アドレス	SDLCフラグ(0111 1110)

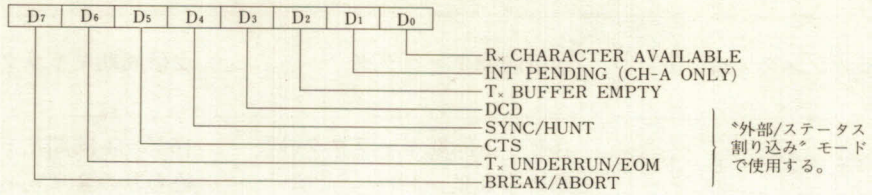
## 7.2 読み出しレジスタ

Z-80 SIOは3個のレジスタRR0～RR2を各チャンネルにもっており、これらのレジスタにより各チャンネル(RR2はチャンネルBのみ)のステータス情報を読み出すことができる。これらのステータス情報としてエラー状態、割り込みベクトル、標準通信インターフェイス信号がある。

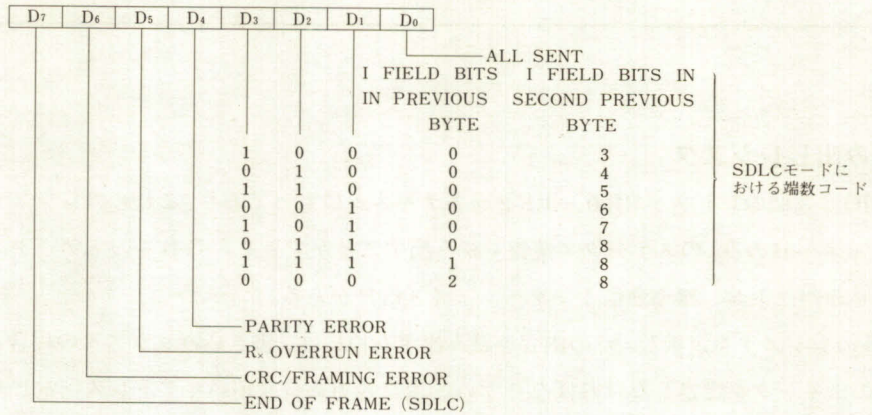
RR0以外のレジスタを選択し、その内容を読み出すためには、書き込みレジスタの場合とまったく同様に、まずWR0のポインタを設定しなければならない。次に入力命令を用いてアドレス指定した読み出しレジスタの内容を読み出す。

RR0およびRR1のステータス・ビットは注意深くグループ分けしてあるのでステータスの監視を簡単に行うことができる。たとえば、割り込みベクトルにより特別受信条件の割り込みが発生したことが判明した場合、それに関するすべてのエラー・ビットは1個のレジスタ(RR1)から読み出すことができる。

読み出しレジスタ 0



読み出しレジスタ 1



読み出しレジスタ 2

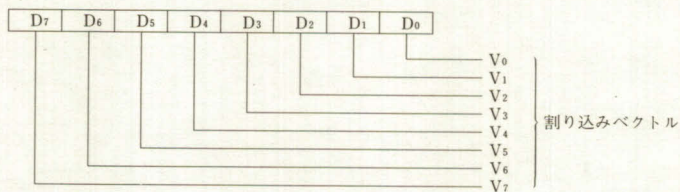


図 10 読み出しレジスタの各ビットの機能

(1) 読み出しレジスタ 0 (RR 0)

D7	D6	D5	D4	D3	D2	D1	D0
ブレーク /アポート	送信 アンダーラン / EOM	C T S	シンク /ハント	D C D	送信 バッファ 空	割り込み 保留 (チャンネル Aのみ)	受信 キャラクタ 有効

① 受信キャラクタ有効 (D0)

このビットは、受信バッファ内に少なくとも1個のキャラクタがあればセットされる。

受信FIFOが完全に空になると、このビットはリセットされる。

② 割り込み保留 (D1)

このビットはチャンネル A でのみ有効であり、チャンネル B ではつねに零である。割り込み条件の種類に関係なくZ-80 SIO内に割り込みが発生すると、このビットはセットされる。このビットは主としてベクトル方式の割り込みを使用しない場合に用いる。すなわち、割り込み処理ルーチンの中において、このビットによりZ-80 SIO内に割り込み条件が成立していることを知ることができる。

このビットを用いるとチャンネル A および B の RR0 の割り込みの原因となるすべてのビットを調べる必要がなくなる。このビットはZ-80 SIO内のすべての割り込み条件が解消されるとリセットされる。

③ 送信バッファ空 (D2)

このビットは、同期あるいは SDLC モードで CRC キャラクタが送られているときを除いて送信バッファが空になればいつでもセットされる。

このビットは、送信バッファにキャラクタがロードされるとリセットされる。

リセット端子による Z-80 SIO のリセットあるいはチャンネルのリセット後には、このビットはセットされている。

④ DCD (Data Carrier Detect) (D3)

このビットは、5個の外部/ステータス・ビット(すなわち、DCD、CTS、シンク/ハント、ブレーク/アポートおよび送信アンダーラン/EOM)のいずれかが最後に変化したときの  $\overline{\text{DCD}}$  端子入力の状態を示す。DCD 端子入力に変化するとこの DCD ビットをラッチし、外部/ステータス・イネーブル・ビットがセットされている場合、外部/ステータス割り込みを発生する。

このビットの現在の状態を知るには、外部/ステータス割り込みリセット・コマンド(コマンド2)をWR0に書き込んだ直後にこのビットを読まなければならない。

⑤ シンク/ハント (D4)

このビットは動作モードにより異なった状態を示す。

### i) 非同期モード

5個の外部/ステータス・ビット(DCD、CTC、シンク/ハント、ブ레이크/アボートおよび送信アンダラン/EOM)のいずれかが、最後に変化したときの $\overline{\text{SYNC}}$ 端子入力の状態を示す。

割り込みイネーブル時、このビットは $\overline{\text{SYNC}}$ 入力の $\text{High}$ から $\text{Low}$ への変化でセットされ、また、 $\text{Low}$ から $\text{High}$ への変化でリセットされ、いずれも外部/ステータス割り込みを発生する。外部/ステータス割り込みリセット・コマンドにより割り込みをクリアする。他の入力あるいは条件の変化により外部/ステータス割り込みが発生したときは、このビットは変化した時点における $\overline{\text{SYNC}}$ 端子の逆の状態を示す。

$\overline{\text{SYNC}}$ 入力の現在の状態を知るためには、外部/ステータス割り込みリセット・コマンド(コマンド2)を書き込んだ直後に、このビットを読まなければならない。

### ii) 外部同期モード

外部同期モードにおいては、このビットは非同期モードの場合と同じ動作をするが、余分に以下の動作を伴う。エンタ・ハント・フェーズ制御ビットをセットすると、外部同期検出回路をイネーブルにする。外部同期モードが選ばれ、かつ、エンタ・ハント・フェーズ・ビットがセットされているとき(たとえば、リセットに続いてレシーバをイネーブルにする場合)、 $\overline{\text{SYNC}}$ 入力は外部でキャラクタ同期がとれるまで、 $\text{High}$ レベルに保つ必要がある。 $\overline{\text{SYNC}}$ 入力を $\text{High}$ レベルにするとシンク/ハント・ステータス・ビットはリセット状態に保持される。外部でキャラクタ同期がとれると、その同期キャラクタの最後のビットが受信されたときの $\overline{\text{RxC}}$ の立ち上がりエッジののち、2番目の $\overline{\text{RxC}}$ の立ち上がりエッジにおいて、 $\overline{\text{SYNC}}$ 入力は $\text{Low}$ レベルにされなければならない。すなわち、同期パターン検出後、 $\overline{\text{SYNC}}$ 入力をアクティブにするためには、外部回路で受信クロックにおいて完全に2サイクル待たなければならない。

1度 $\overline{\text{SYNC}}$ 端子を $\text{Low}$ レベルにすると、同期が失われるか、あるいは新メッセージの転送開始をZ-80 CPUから外部同期回路へ通知するまで、 $\text{Low}$ レベルに保たなければならない。

$\overline{\text{SYNC}}$ 入力が $\text{High}$ から $\text{Low}$ へ変化すると、シンク/ハント・ビットをセットし、外部/ステータス割り込みを発生する。この割り込みは外部/ステータス割り込みリセット・コマンド(コマンド2)によって解除されなければならない。 $\overline{\text{SYNC}}$ 入力が再び $\text{High}$ レベルになると、別の外部/ステータス割り込みが発生するが、この割り込みも同様に解除されなければならない。エンタ・ハント・フェーズ・ビットは、キャラクタ同期が失われるかまたはメッセージの終了が検出されるときはいつでもセットされる。この場合、Z-80 SIOは再び $\overline{\text{SYNC}}$ 入力の $\text{High}$ から $\text{Low}$ への変化を待つ状態になっており、その後前述の動作を繰り返す。

CPUもまた、外部回路に、キャラクタ同期の喪失およびZ-80 SIOが $\overline{\text{SYNC}}$ アクティブ入力待ち状態にあることを通知しなければならない。

### iii) モノシンクおよびバイシンク・モード

モノシンクおよびバイシンクの受信モードにおいては、シンク/ハント・ビットはエンタ・ハント・フェーズ・ビットによって1に初期セットされる。Z-80 SIOがキャラクタ同期を得たあとに、シンク/ハント・ビットはリセットされる。シンク/ハント・ビットの $\text{High}$ から $\text{Low}$ への変化は、外部/ステータス割り込みを発生し、この割り込みは、外部/ステータス割り込みリセット・コマンド(コマンド2)により解除されなければならない。これにより、他の外部/ステータス・ビットの次の変化を検出することができる。

CPUは、メッセージの終了あるいはキャラクタ同期の喪失を検出すると、エンタ・ハント・フェーズ制御ビットをセットする。これによりシンク/ハントのステータス・ビットがセットされる。

シンク/ハント・ビットが“Low”から“High”へ変化すると、外部/ステータス割り込みが発生する。この割り込みも同様に解除されなければならない。

このモードにおいて、 $\overline{\text{SYNC}}$ 端子は出力端子となり、同期パターンがデータ列中に検出される時はいつでも“Low”レベルになる。

#### iv) SDLCモード

エンタ・ハント・フェーズ・ビットをセットするか、あるいはレシーバをディセーブルすると、シンク/ハント・ビットは1にセットされる。どちらの場合においても、最初のフレームの開始フラグをZ-80 SIOが検出すると、このビットは零にリセットされる。このとき外部/ステータス割り込みも発生し、前述と同様に解除されなければならない。

モノシンクやバイシンク・モードと異なり、1度シンク/ハント・ビットがリセットされると、Z-80 SIOは自動的に同期を維持するので、メッセージの終了を検出した時点でこのビットをセットする必要はない。

シンク/ハント・ビットが再びセットされるのは、エンタ・ハント・フェーズ・ビットがセットされるか、レシーバがディセーブルされる時である。

#### ⑥ CTS (Clear To Send) (D<sub>5</sub>)

このビットは、5個の外部/ステータス・ビット(すなわちDCD、CTS、シンク/ハント、ブレイク/アボートおよび送信アンダーラン/EOM)のいずれかが最後に変化したときの $\overline{\text{CTS}}$ 端子入力の逆の状態を示す。

#### ⑦ 送信アンダーラン/EOM (D<sub>6</sub>)

このビットは、リセット端子によるZ-80 SIOのリセットまたはチャネル・リセット後ではセット状態になっている。このビットをリセットできるコマンドは送信アンダーラン/EOMリセット(WR0のD<sub>7</sub>、D<sub>6</sub>がともに1)だけである。

送信アンダーランが起こると、このビットはセットされ、外部/ステータス割り込みが発生するが、この割り込みは外部/ステータス割り込みリセット・コマンド(コマンド2)によって解除されなければならない。このビットは送信制御を行う場合に他のビットと組み合わせて重要な役割をする。詳細はバイシンク送信アンダーラン、SDLC送信アンダーランの項を参照のこと。

#### ⑧ ブレイク/アボート (D<sub>7</sub>)

非同期モードの受信において、データ列の中にブレイク(フレーミング・エラーを伴うヌル・キャラクタ)を検出すると、このビットはセットされる。ブレイクが検出されると、外部/ステータス割り込みが発生する(イネーブル時)。この割り込みは外部/ステータス割り込みリセット・コマンドによって解除される。

入力データ列においてブレイクが終了したことを検出すると、このビットはリセットされる。このブレイク終了により再び外部/ステータス割り込みが発生する。次のブレイクを検出するために、この割り込みも上記と同様に解除されなければならない。ブレイクの終了後、レシーバ内には単一のヌル・キャラクタが現われるが、これは読み捨てる。

SDLCモードの受信においては、このビットはアボート(7個以上の1の列)を検出するとセットされる。

アボートを検出すると、外部/ステータス割り込みを発生するが、この割り込みはブレークによる割り込みと同様に処理されなければならない。

その他の同期モードの受信においては、このビットは使用されない。

## (2) 読み出しレジスタ1 (RR1)

RR1は、特別受信条件ステータス・ビットとSDLC受信モードにおけるIフィールドの端数コードをもつレジスタである。

D7	D6	D5	D4	D3	D2	D1	D0
エンド オブ フレーム	C R C / フレーミング エラー	受信 オーバーラン エラー	パリティ エラー	端数 コード 2	端数 コード 1	端数 コード 0	全キャラクタ 送 出

### ① 全キャラクタ送付 (D0)

非同期モードにおいて、すべてのキャラクタがトランスミッタから完全に送付されたとき、このビットはセットされる。

同期モードにおいては、このビットはつねに1になっている。

このビットが変化しても割り込みは発生しない。

### ② 端数コード2~0 (D3~D1)

SDLC受信モードにおいて、Iフィールドがキャラクタ長の整数倍でない場合、これらの3ビットによりIフィールドの長さを示す。

これらのコードは、SDLCモードにおいてエンド・オブ・フレーム・ビットがセットされるような転送に対してのみ意味をもつ。8ビット/キャラクタの受信キャラクタに対して、端数コードは次のようになる。

ただし、すべての場合において、Iフィールドは右に詰められている。

D3 端数 コード2	D2 端数 コード1	D1 端数 コード0	1バイトまえの Iフィールド・ビット	2バイトまえの Iフィールド・ビット
1	0	0	0	3
0	1	0	0	4
1	1	0	0	5
0	0	1	0	6
1	0	1	0	7
0	1	1	0	8
1	1	1	1	8
0	0	0	2	8

Iフィールドとなる受信キャラクタ長が8ビットでない場合は、異なるキャラクタ長に対して各々同じような表を構成することができる。

端数がない場合(すなわち、最後のキャラクタの境界がIフィールドとCRCフィールドの境界と一致する場合)、端数コードは次のようになる。

ビット/キャラクタ	D <sub>3</sub> 端数 コード2	D <sub>2</sub> 端数 コード1	D <sub>1</sub> 端数 コード0
8ビット/キャラクタ	0	1	1
7ビット/キャラクタ	0	0	0
6ビット/キャラクタ	0	1	0
5ビット/キャラクタ	0	0	1

### ③ パリティ・エラー (D<sub>4</sub>)

パリティの有無を示すビット(WR4のD<sub>0</sub>)がセットされた場合、指定されたパリティの偶/奇(WR4のD<sub>1</sub>)と受信キャラクタのパリティが一致しないキャラクタに対し、このビットはセットされる。

パリティ・エラーが発生すると、以後このビットはセット状態にラッチされる。このビットのリセットはWR0にエラー・リセット・コマンド(コマンド6)を書き込むことにより行う。

### ④ 受信オーバーラン・エラー (D<sub>5</sub>)

このビットは、CPUが読み取りを行っていないZ-80 SIO中の受信キャラクタが3キャラクタより大きくなるとセットされる。オーバーランしたキャラクタに対してのみこのビットはセットされるが、そのキャラクタが読み取られてもこのビットはラッチされている。ラッチの解除はWR0にエラー・リセット・コマンド(コマンド6)を書き込むことにより行う。

ステータス・アフェクト・ベクトルがイネーブルされているならば、オーバーランによる割り込みは特別受信条件で定まるベクトルを発生する。

### ⑤ CRC/フレーミング・エラー (D<sub>6</sub>)

非同期モードにおいて、受信キャラクタにフレーミング・エラーが発生するとそのキャラクタに対してこのビットがセットされる(ラッチされない)。

このエラーを検出すると、そのキャラクタに $\frac{1}{2}$ ビットを付加するので新しいスタート・ビットと区別することができる。

同期モードおよびSDLCモードにおいては、このビットは送られてきたCRC値とCRCチェック値との比較結果を示す。

このビットはWR0にエラー・リセット・コマンド(コマンド6)を書き込むことによりリセットされる。このビットはラッチされないため、次のキャラクタが受信されるときにはつねに更新されている。

### ⑥ エンド・オブ・フレーム (D<sub>7</sub>)

このビットはSDLCモードにおいてのみ使用され、正常なクローズ・フラグを受信した場合にセットされる。

このビットはWR0にエラー・リセット・コマンド(コマンド6)を書き込むことによってリセットされる。  
このビットもまた、次のフレームの最初のキャラクタによって更新される。

(3) 読み出しレジスタ2 (RR 2)

D7	D6	D5	D4	D3	D2	D1	D0
V7	V6	V5	V4	V3	V2	V1	V0

ステータス・アフェクト・ベクトル・ビットがセットされている場合変化する。

このレジスタはチャンネルBにのみ存在する。

ステータス・アフェクト・ベクトル制御ビット (WR1のD2) がセットされていない場合、このレジスタの内容はWR2に書き込まれた割り込みベクトルの内容に等しい。

ステータス・アフェクト・ベクトル制御ビットがセットされている場合、割り込み条件に従って V3~V1が変化する。(2)書き込みレジスタ1—③を参照)

この場合、読み出されるベクトルは、読み出した時点でもっとも優先順位の高い割り込み条件によって決まるベクトル値に等しくなる。その場合、保留中の割り込みがなければ、V3=0、V2=1、V1=1となる。

## 第 8 章 応 用

Z-80 SIOはその機能の柔軟性と豊富さによって多方面に応用できるが、この章ではそれらのうちのいくつかを示す。これらの例では、Z-80 SIOと他のZ-80ファミリLSIを組み合わせて使用している。

図11は簡単なプロセッサ間の通信例である。この例ではリモート・プロセッサは異なったプロトコルとデータ転送速度により Z-80 CPU と通信できる。応用例の複雑さによっては他の Z-80 LSI (たとえば、Z-80 CTC)が必要になる場合もある。Z-80 SIOの使用していないチャンネルは、他の周辺デバイスの制御用として使用したり、他のリモート・プロセッサに接続することもできる。

図12は1個のZ-80 SIOの両チャンネルをモデム制御の1次チャンネルおよび2次チャンネルとし、さらにそれらを両方向性にして使用する例である。両方向性でない2つのモデム線をZ-80 SIOに接続できる。非同期モードにおいては適当なボーレート発振器を必要とするが、これにZ-80 CTCを使用することもできる。

図13は比較的複雑な応用であるデータ集中処理システムであり、ここでは種々の機能を実現するためにZ-80 SIOを2個使用している。このシステムにおいては、低速通信線を用いて多くのターミナルからデータを集め、それらを編集したりデータを式に変えたのち、1本の高速通信線を用いて他のプロセッサへ送信している。

Z-80 SIO #2は、Z-80 DMAコントローラによって制御されている。このZ-80 SIOは再フォーマットされたデータを、要求されたプロトコルを用いて高速に送信する。高速モデム側からこのチャンネルに送信クロックを供給する。Z-80 CTCにより、低速通信線に対する送信クロックと受信クロックを作成する。Z-80 CTCはまた時間カウンタの用途にも使用されている。

Z-80 SIO #1によりローカル・ターミナルやリモート・ターミナルを制御する点線内に、1つのインテリジェント・ターミナルを示す。このターミナルにおいて使用されているZ-80 SIOでは、片チャンネルをデータ集中処理システムとの通信に使用し、他方をラインプリンタのインターフェース用に使用している。

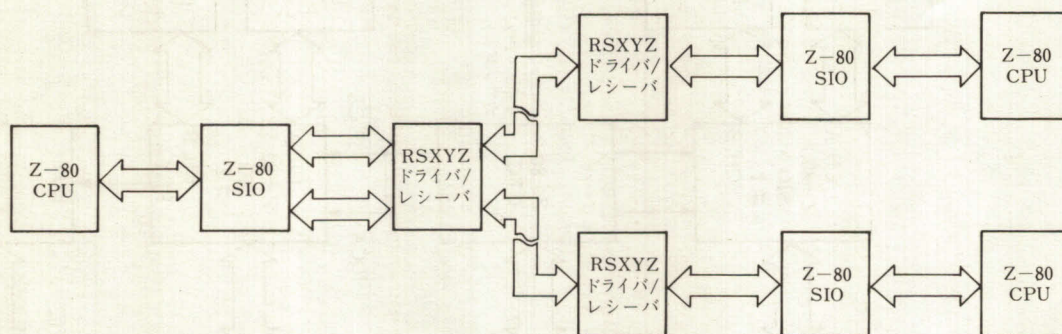


図11非同期/同期モードのプロセッサ-プロセッサ間通信の例1

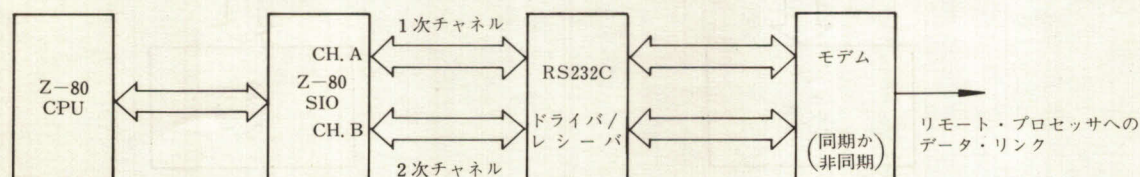


図12. 非同期/同期モードのプロセッサ-プロセッサ間通信の例2

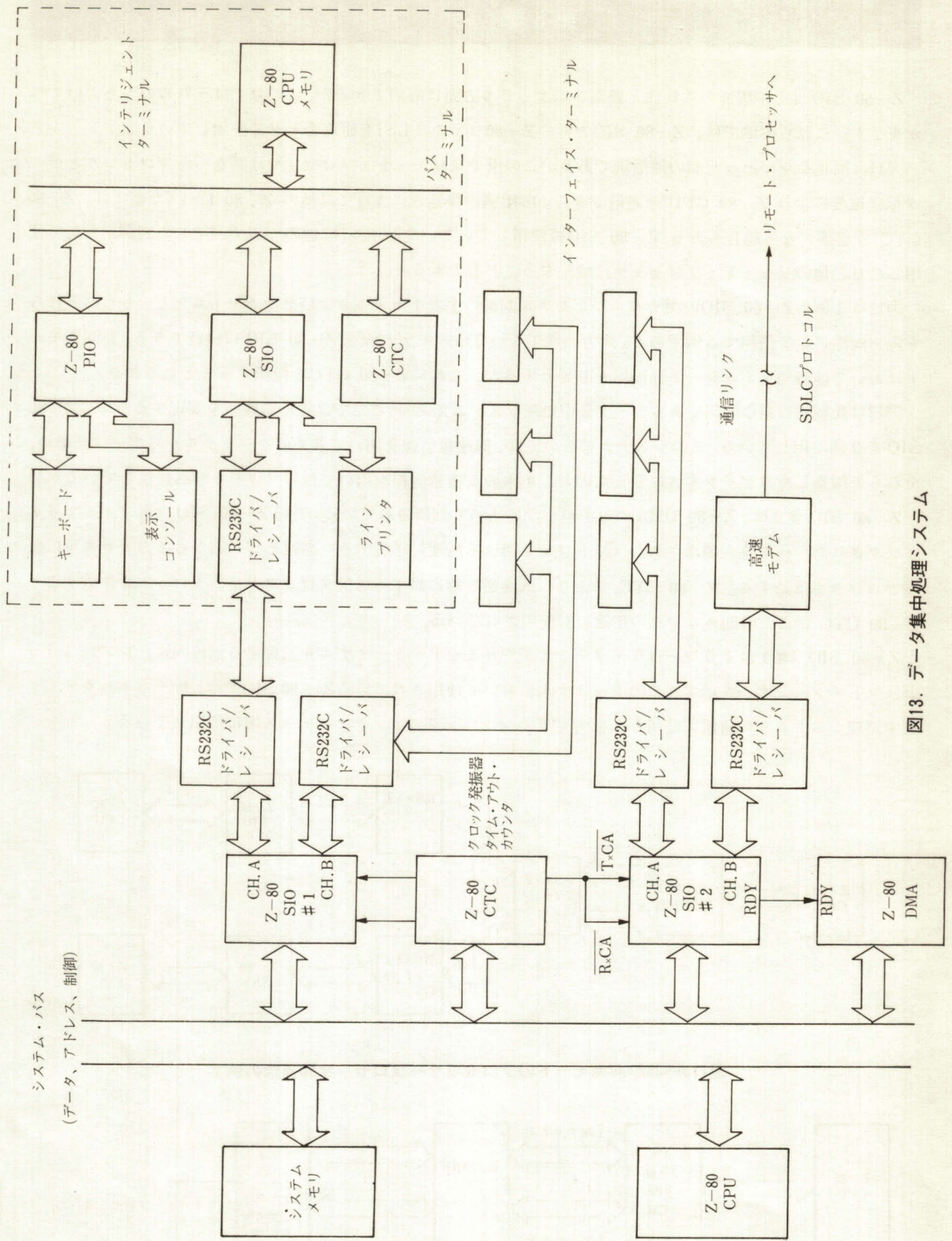


図13. データ集中処理システム

## 第9章 タイミング

### (1) 読み出しサイクル

Z-80 SIOのデータあるいはステータス・レジスタの読み出しに関するタイミングを以下に示す。  
データ・ステータスを読み出すために、Z-80 CPUの入力命令を使用できる。

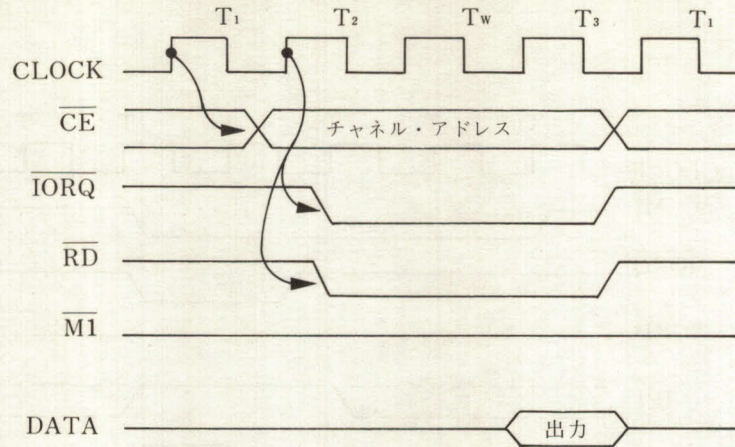


図14(a) 読み出しサイクル

### (2) 書き込みサイクル

Z-80 SIOに書き込まれるデータあるいは制御語に関するタイミングを以下に示す。  
データ、制御語を書き込むために、Z-80 CPUの出力命令を使用できる。

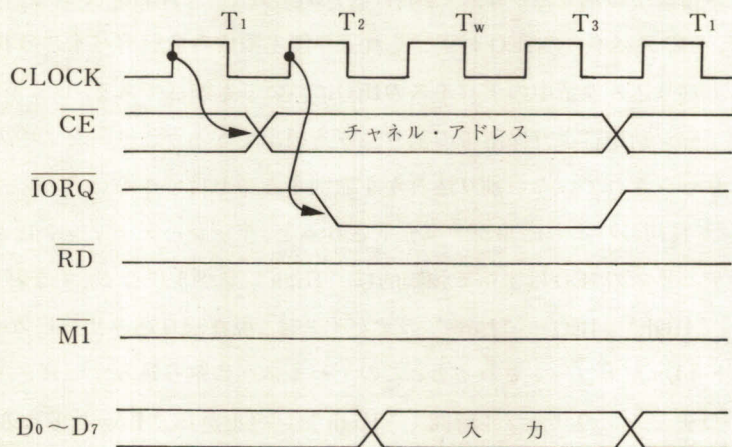


図14(b) 書き込みサイクル

### (3) 割り込み応答サイクル

Z-80 SIO からの割り込み要求後、Z-80 CPU は割り込み応答信号 ( $\overline{M1}$  と  $\overline{IORQ}$  がともに 'Low' レベル) を出力する。

デジー・チェーン方式の割り込み制御回路は、この期間にもっとも優先順位の高い割り込みがどれであることを決定する、デジー・チェーンの状態を安全に保つため、 $\overline{M1}$  がアクティブになっているあいだ、割り込み要求の状態を変化させることは禁止されている。

$\overline{IORQ}$  がアクティブになったとき、割り込みを要求している中でもっとも優先順位の高いものがデータ・バス上に割り込みベクトルを乗せ、それ自身の内部の割り込みサービス・ラッチをセットする。

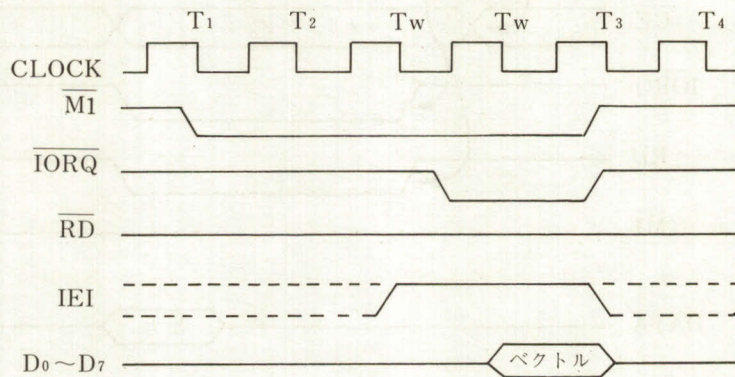


図14(c) 割り込み応答サイクル

### (4) 割り込みからの復帰

割り込みサービス・ルーチンの終わりにおいて、通常Z-80 CPUはRETI命令を実行する。RETI命令のOPコードはED 4 D<sub>H</sub>であり、この命令を実行すると割り込みサービス・ラッチをリセットし、割り込みを終了させる。

サービス中やサービス保留中の割り込みがない場合は、 $IEO = IEI = \text{'High'}$  である。あるデバイスが割り込みサービス中であれば、そのデバイスのIEOおよびそれより優先順位の低いデバイスのIEIとIEOは、すべて、'Low' レベルになる。割り込み保留中のデバイスのIEOについても同様である。

通常のデジー・チェーン動作により保留中の割り込みを検出できるが、サービス中の割り込みか、より優先度が高くまだアクノリッジされていない割り込みかを識別することはできない。

RETI命令のOPコード最初のバイトED<sub>H</sub>がデコードされると、デジー・チェーンにおいて割り込みアクノリッジを受けていないデバイスのIEOはすべて強制的に 'High' レベルになる。すなわち、このデジー・チェーンにおいて、 $IEI = \text{'High'}$ 、 $IEO = \text{'Low'}$  のデバイスは、現在割り込みサービス中のものだけになる。OPコードの第2バイト4 D<sub>H</sub>がデコードされると、このデバイスへの割り込みサービス・ラッチはリセットされる。割り込みデジー・チェーンのリップル時間 ('High' レベルから 'Low' レベル、'Low' レベルから 'High' レベルへの変化) からくる制限により、デジー・チェーンに接続できるデバイスの数が限定される。リップル時間による制限はキャリ・ルック・アヘッドを使用するか、またはウエイト・サイクルを使用する方法によって解決できる。

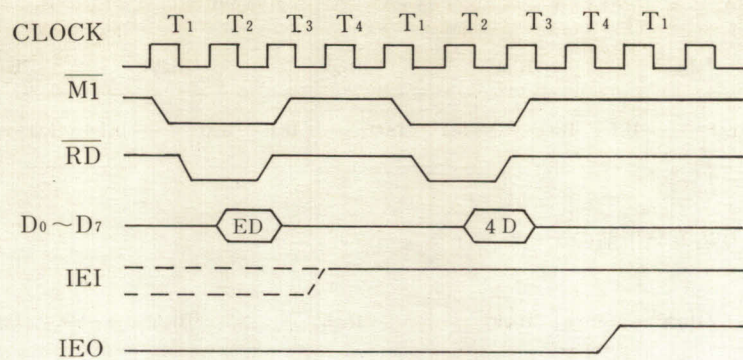


図14(d) 割り込みからの復帰

(5) デージー・チェーン割り込みサービス

外部の周辺デバイスについては、ユーザの決めた優先順位でデージー・チェーンを構成することができる。

Z-80 SIOの内部には、すでに優先順位の決まった6種の割り込みレベルがある。

次図は、チャンネルBのトランスミッタが割り込みサービスを受けているときに、チャンネルA(優先順位が高い)から割り込みがかかった場合を示している。



## 9. 仕様

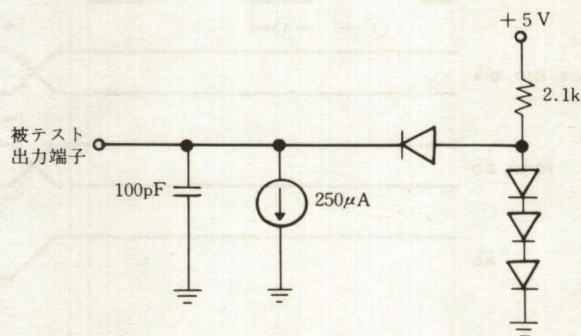
### 10.1 絶対最大定格

項目	記号	定格値	単位
入力電圧	V <sub>IN</sub>	-0.3~+7.0	V
出力電圧	V <sub>OUT</sub>	-0.3~+7.0	V
動作温度	T <sub>opr</sub>	0 ~+70	°C
保存温度	T <sub>stg</sub>	-65~+150	°C

絶対最大定格の内のどの1項目でも、瞬時たりとも絶対最大定格値を越えないようにしてください。かつ、2項目以上の値が絶対最大定格値に同時に達しないようにしてください。

### テスト条件

下記の特性は、特に明記しない限り次のテスト条件を適用します。電圧はすべてGND端子が基準です。被テスト端子に流れ込む電流を正電流とします。



### 10.2 電気的特性

#### DC特性

(T<sub>a</sub> = 0°C ~ 70°C, V<sub>CC</sub> = +5V ± 5%)

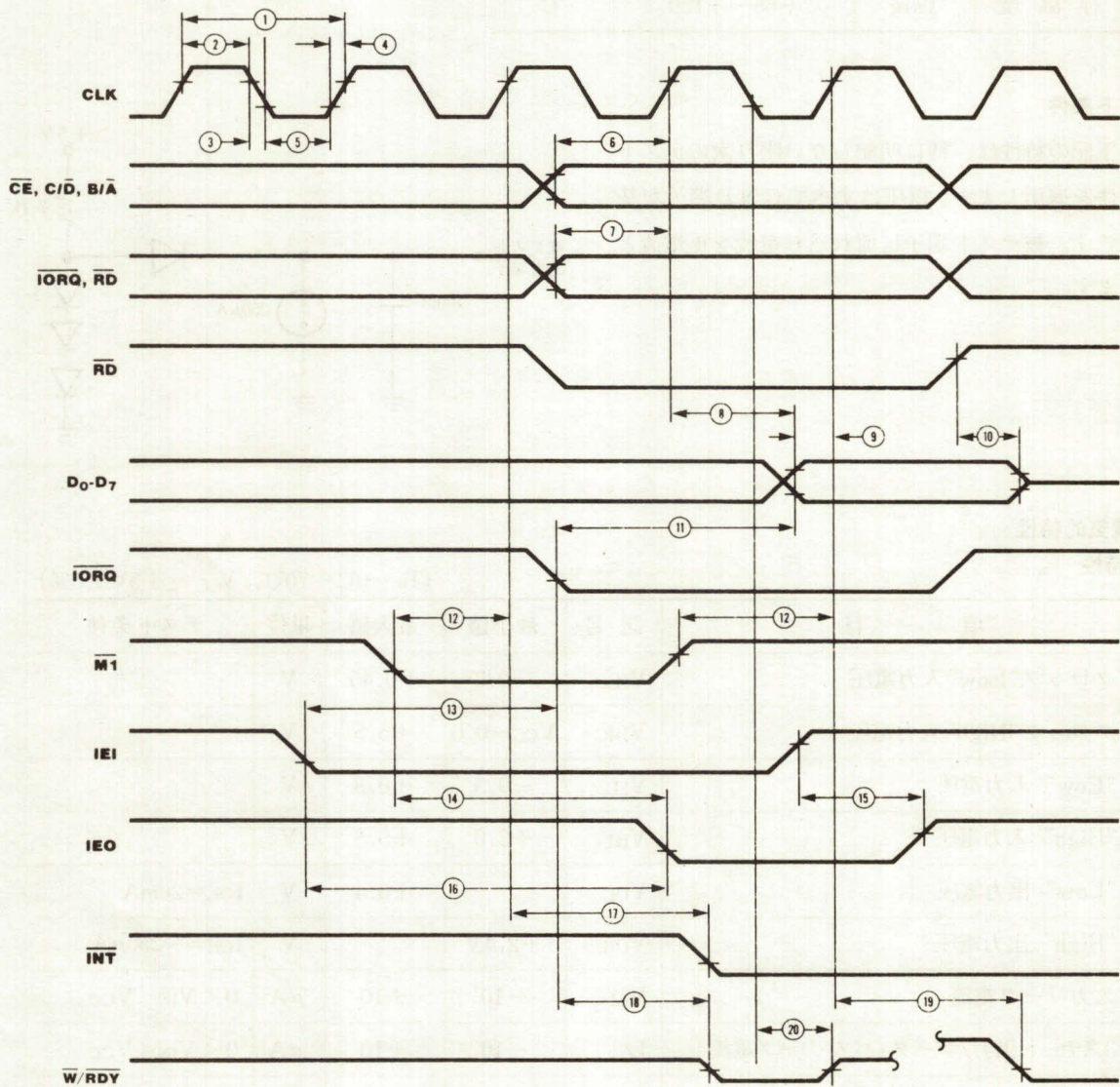
項目	記号	最小値	最大値	単位	テスト条件
クロック“Low”入力電圧	V <sub>ILC</sub>	-0.3	+0.45	V	
クロック“High”入力電圧	V <sub>IHC</sub>	V <sub>CC</sub> -0.6	+5.5	V	
“Low”入力電圧	V <sub>IL</sub>	-0.3	+0.8	V	
“High”入力電圧	V <sub>IH</sub>	+2.0	+5.5	V	
“Low”出力電圧	V <sub>OL</sub>		+0.4	V	I <sub>OL</sub> = 20mA
“High”出力電圧	V <sub>OH</sub>	+2.4V		V	I <sub>OH</sub> = -250µA
入力リーク電流	V <sub>LI</sub>	-10	+10	µA	0 < V <sub>IN</sub> < V <sub>CC</sub>
3ステート出力/データ・バス・リーク電流	I <sub>Z</sub>	-10	+10	µA	0 < V <sub>IN</sub> < V <sub>CC</sub>
SYNC端子リーク電流	I <sub>L(SY)</sub>	-40	+10	µA	0 < V <sub>IN</sub> < V <sub>CC</sub>
消費電流	I <sub>CC</sub>		100	mA	

端子容量

( $T_a = 0^\circ\text{C} \sim 70^\circ\text{C}$ ,  $f = 1\text{ MHz}$ )

項目	記号	最小値	最大値	単位	テスト条件
クロック容量	CCLOCK		40	pF	被測定端子以外のすべての端子は接地します。
入力容量	CIN		5	pF	
出力容量	COUT		10	pF	

AC特性(I)

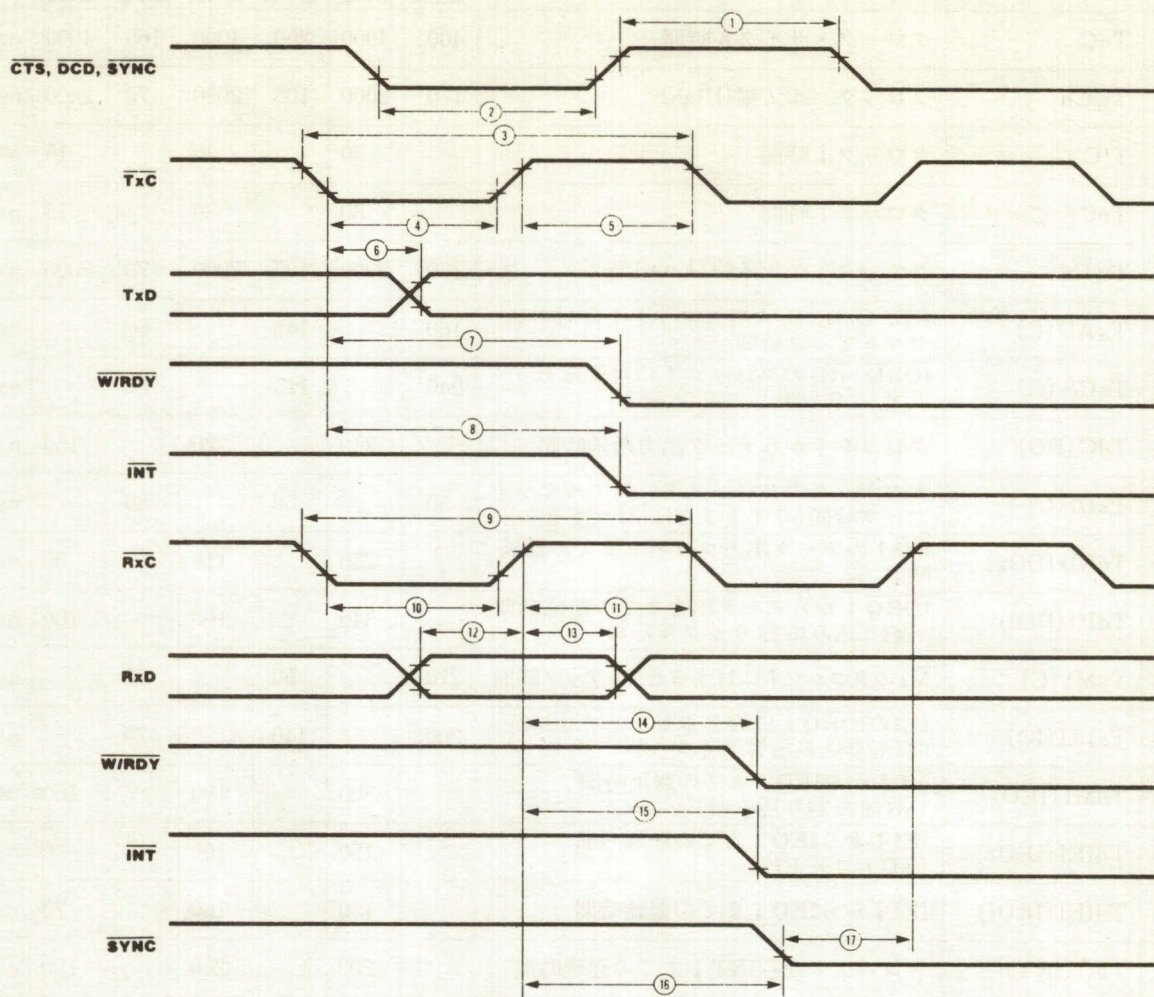


番号	記号	項目	Z-80 SIO		Z-80A SIO		Z-80B SIO(注)		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
1	TcC	クロック・サイクル時間	400	4000	250	4000	165	4000	ns
2	TwCh	クロックパルス幅(High)	170	2000	105	2000	70	2000	ns
3	TfC	クロック↓時間		30		30		15	ns
4	TrC	クロック↑時間		30		30		15	ns
5	TwC $\ell$	クロック・パルス幅(Low)	170	2000	105	2000	70	2000	ns
6	TsAD(C)	$\overline{CE}$ , C/D, B/Aのクロック↑に対するセットアップ時間	160		145		60		ns
7	TsCS(C)	$\overline{IORQ}$ , RDのクロック↑に対するセットアップ時間	240		115		60		ns
8	TdC(DO)	クロック↑からデータ出力遅延時間		240		220		150	ns
9	TsDI(C)	入力データのクロック↑に対するセットアップ時間(ライトまたはM1サイクル)	50		50		30		ns
10	TdRD(DOz)	RD↑のデータ出力フロートまでの遅延時間		230		110		90	ns
11	TdIO(DOI)	$\overline{IORQ}$ ↓からデータ出力までの遅延時間(割り込み応答サイクル)		340		160		100	ns
12	TsM1(C)	$\overline{M1}$ のクロック↑に対するセットアップ時間	210		90		75		ns
13	TsIEI(IO)	IEIの $\overline{IORQ}$ ↓に対するセットアップ時間(割り込み応答サイクル)	200		140		120		ns
14	TdM1(IEO)	$\overline{M1}$ ↓からIEO↓までの遅延時間(M1前の割り込み時)		300		190		160	ns
15	TdIEI(IEOr)	IEI↑からIEO↑までの遅延時間(EDデコード後)		150		100		70	ns
16	TdIEI(IEOf)	IEI↓からIEO↓までの遅延時間		150		100		70	ns
17	TdC(INT)	クロック↑から $\overline{INT}$ ↓までの遅延時間		200		200		150	ns
18	TdIO(W/RWf)	$\overline{IORQ}$ ↓または $\overline{CE}$ ↓から $\overline{W/RDY}$ ↓までの遅延時間(ウエイト・モード時)		300		210		175	ns
19	TdC(W/PR)	クロック↑から $\overline{W/RDY}$ ↓までの遅延時間(レディ・モード時)		120		120		100	ns
20	TdC(W/RWz)	クロック↓から $\overline{W/RDY}$ フロートまでの遅延時間(ウエイト・モード時)		150		130		110	ns
21	Th	規定されているセットアップ時間に対する保持時間	0		0		0		ns

↑は立ち上がりエッジ、↓は立ち下がりエッジを示します。

(注) Z-80B SIOのタイミングは暫定であり、変更することがあります。

AC特性(II)



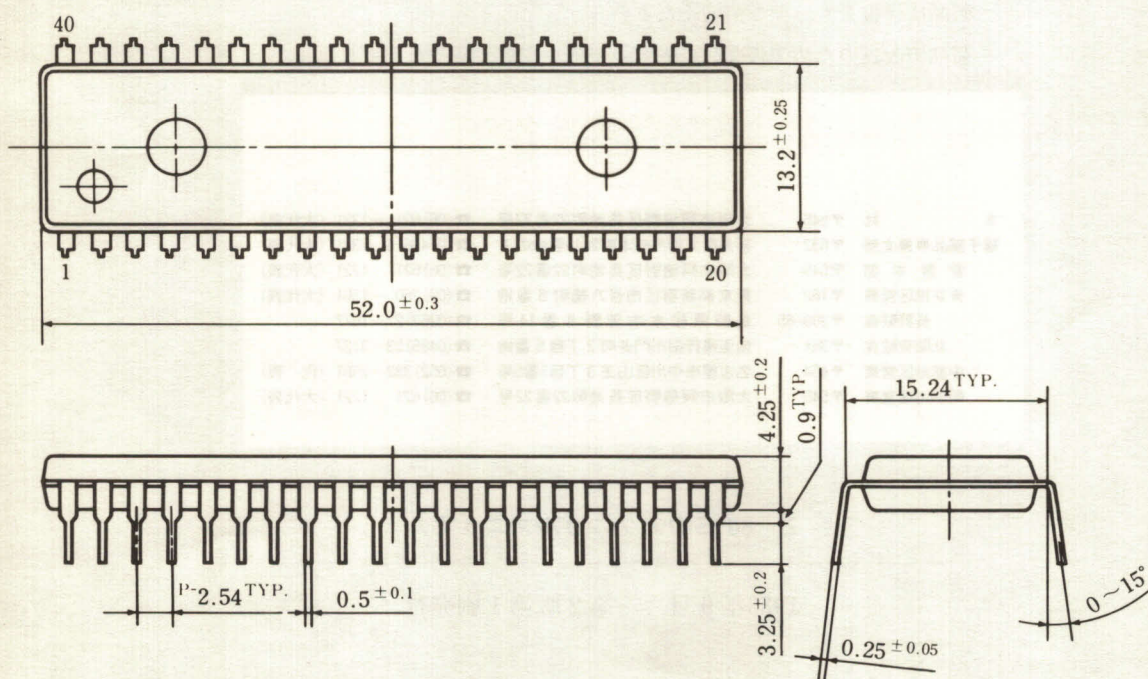
番号	記号	項目	Z-80 SIO		Z-80A SIO		Z-80B SIO(注)		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
1	TwPh	パルス幅 (High)	200		200		200		ns
2	TwPl	パルス幅 (Low)	200		200		200		ns
3	TcTxC	$\overline{\text{TxC}}$ クロック時間	400	$\infty$	400	$\infty$	330	$\infty$	ns
4	TwTxCl	$\overline{\text{TxC}}$ 幅 (Low)	180	$\infty$	180	$\infty$	100	$\infty$	ns
5	TwTxCh	$\overline{\text{TxC}}$ 幅 (High)	180	$\infty$	180	$\infty$	100	$\infty$	ns
6	TdTxC (TxD)	$\overline{\text{TxC}}$ ↓ から TxD までの遅延時間 (X1モード時)		400		300		220	ns
7	TdTxC (W/RRf)	$\overline{\text{TxC}}$ ↓ から $\overline{\text{W/RDY}}$ ↓ までの遅延時間 (レディ・モード時)	5	9	5	9	5	9	クロック 周期
8	TdTxC (INT)	$\overline{\text{TxC}}$ ↓ から $\overline{\text{INT}}$ ↓ までの遅延時間	5	9	5	9	5	9	クロック 周期
9	TcRxC	$\overline{\text{RxC}}$ サイクル時間	400	$\infty$	400	$\infty$	330	$\infty$	ns
10	TwRxC $\ell$	$\overline{\text{RxC}}$ 幅 (Low)	180	$\infty$	180	$\infty$	100	$\infty$	ns
11	TwRxC $h$	$\overline{\text{RxC}}$ 幅 (High)	180	$\infty$	180	$\infty$	100	$\infty$	ns
12	TsRxD (RxC)	RxDの $\overline{\text{RxC}}$ ↑ に対するセットアップ時間 (X1モード時)	0		0		0		ns
13	ThRxD (RxC)	$\overline{\text{RxC}}$ ↑ から RxD の保持時間 (X1モード時)	140		140		100		ns
14	TdRxC (W/RRf)	$\overline{\text{RxC}}$ ↑ から $\overline{\text{W/RDY}}$ ↓ までの遅延時間 (レディ・モード時)	10	13	10	13	10	13	クロック 周期
15	TdRxC (INT)	$\overline{\text{RxC}}$ ↑ から $\overline{\text{INT}}$ ↓ までの遅延時間	10	13	10	13	10	13	クロック 周期
16	TdRxC (SYNC)	$\overline{\text{RxC}}$ ↑ から $\overline{\text{SYNC}}$ ↓ までの遅延時間 (出力モード時)	4	7	4	7	4	7	クロック 周期
17	TsSYNC (RxC)	$\overline{\text{SYNC}}$ ↓ の $\overline{\text{RxC}}$ ↑ までのセットアップ時間 (外部出力モード時)	-100		-100		100		ns

↑は立ち上がりエッジ、↓は立ち下がりエッジを示します。

(注) 全てのモードにて、システム・クロック・レートは、少なくとも最大データ・レートの5倍以上でなければなりません。

(注1) Z-80B SIOのタイミングは暫定であり、変更することがあります。

### 10.3 外形寸法



40ピン・デュアルインライン・パッケージ  
(おことわり) 製品の改良のため予告なしに内容の一部を変更することがあります。

単位: mm

- シャープ(株)は、Z-80ファミリについて Zilog 社と技術提携し、日本における実施権を保有しております。
- シャープ(株)は、Z-80ファミリに関する Zilog 社の刊行物の複製をする権利を同社から許諾されております。  
読者は、本書のどの部分でもシャープ(株)に無断で複製したり、転載したり、または引用することはできません。
- Z-80ファミリについてのデータとか、最新情報は、下記にお問い合わせください。

(おことわり)

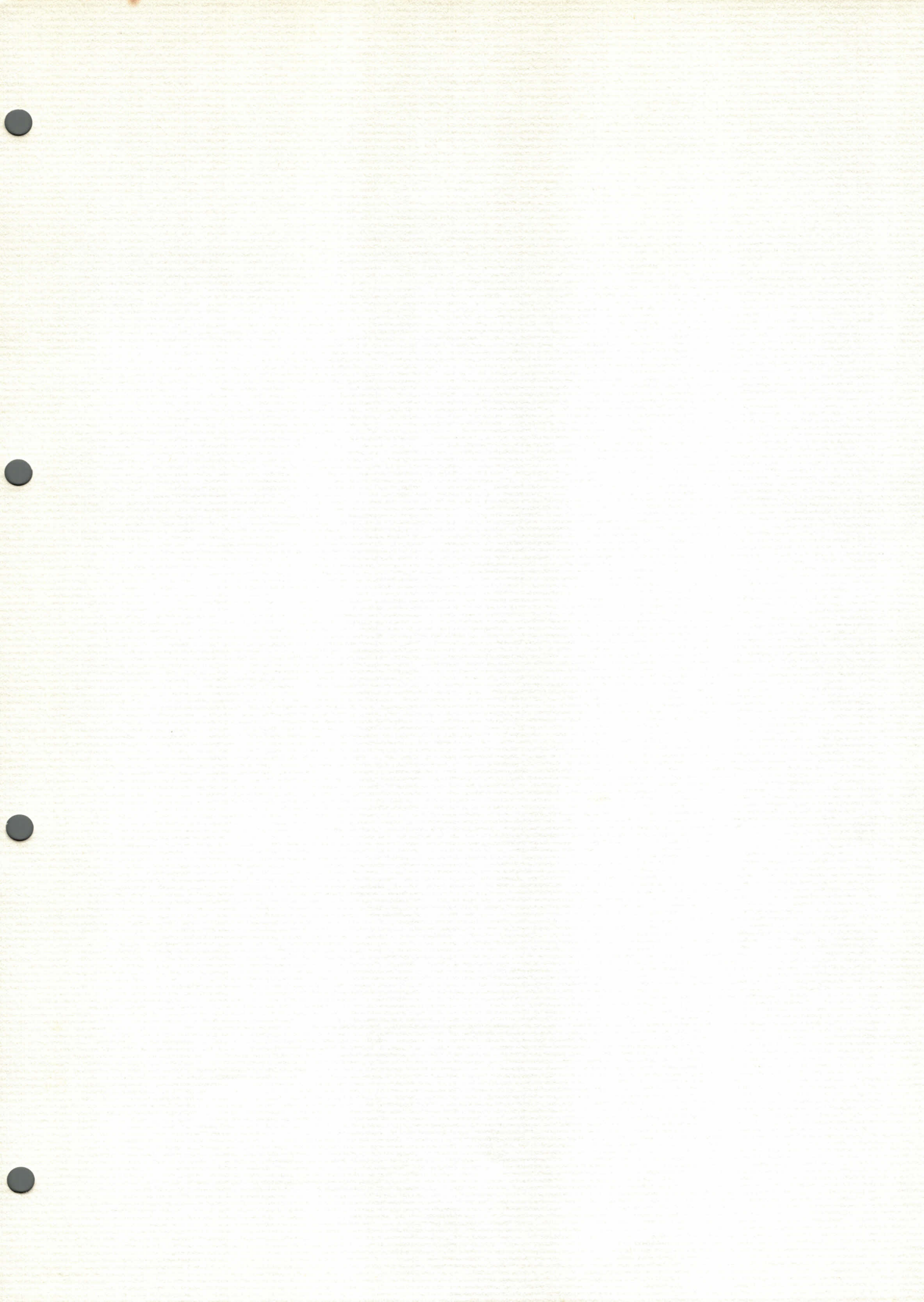
- 本書に記載された説明事項、規格、回路例などは、シャープ Z-80ファミリの使用上の参考として示されたものであり、別途用意の製品仕様書の記載内容が本書の内容に優先します。LSI ご使用にあたっては、必ず製品仕様書をご用意のうえ内容をご確認ください。また規格契約を必要とする場合には、製品仕様書をもってご契約ください。
- 製品の改良のため予告なしに内容の一部を変更することがあります。

## シャープ株式会社

本社	〒545 大阪市阿倍野区長池町22番22号	☎(06) 621-1221 (大代表)
電子部品事業本部	〒632 奈良県天理市樺本町2613番地の1	☎(07436) 5-1321 (大代表)
営業本部	〒545 大阪市阿倍野区長池町22番22号	☎(06) 621-1221 (大代表)
東部地区営業	〒162 東京都新宿区市谷八幡町8番地	☎(03) 260-1161 (大代表)
長野駐在	〒399-65 松本市芳野8番14号	☎(0263) 27-1677
北関東駐在	〒361 埼玉県行田市門井町2丁目5番地	☎(0485) 53-3127
静岡駐在	〒422 静岡市曲金6丁目8番44号	☎(0542) 83-0081 (代表)
中部地区営業	〒454 名古屋市中川区山王3丁目5番5号	☎(052) 332-2681 (代表)
浜松駐在	〒430 浜松市植松町1476の2	☎(0534) 65-1207 (代表)
西部地区営業	〒545 大阪市阿倍野区長池町22番22号	☎(06) 621-1221 (大代表)

### Z-80 SIOテクニカルマニュアル

1983年9月 第2版第1刷発行







## シャープ株式会社

本社	〒545	大阪市阿倍野区長池町22番22号	☎ (06) 621-1221 (大代表)
電子部品事業本部	〒632	奈良県天理市樺本町2613番地の1	☎ (07436) 5-1321 (大代表)
営業本部	〒545	大阪市阿倍野区長池町22番22号	☎ (06) 621-1221 (大代表)
東部地区営業	〒162	東京都新宿区市谷八幡町8番地	☎ (03) 260-1161 (大代表)
長野駐在	〒399-65	松本市芳野8番14号	☎ (0263) 27-1677
北関東駐在	〒361	埼玉県行田市門井町2丁目5番地	☎ (0485) 53-3127
静岡駐在	〒422	静岡市曲金6丁目8番44号	☎ (0542) 83-0081 (代表)
中部地区営業	〒454	名古屋市中川区山王3丁目5番5号	☎ (052) 332-2681 (代表)
浜松駐在	〒430	浜松市植松町1476の2	☎ (0534) 65-1207 (代表)
西部地区営業	〒545	大阪市阿倍野区長池町22番22号	☎ (06) 621-1221 (大代表)